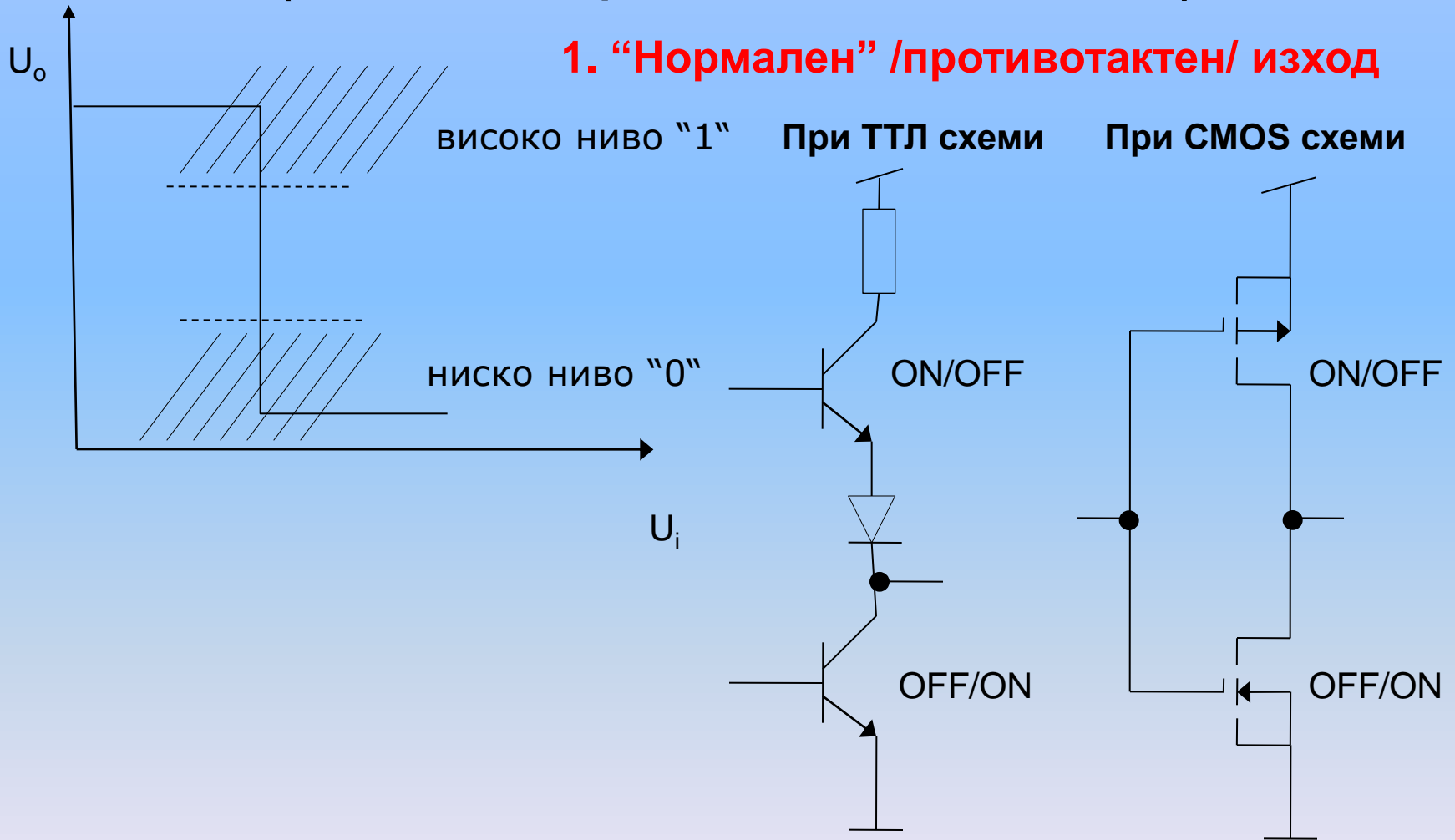


МИКРОПРОЦЕССОРНА ТЕХНИКА

ЛЕКЦИЯ #3

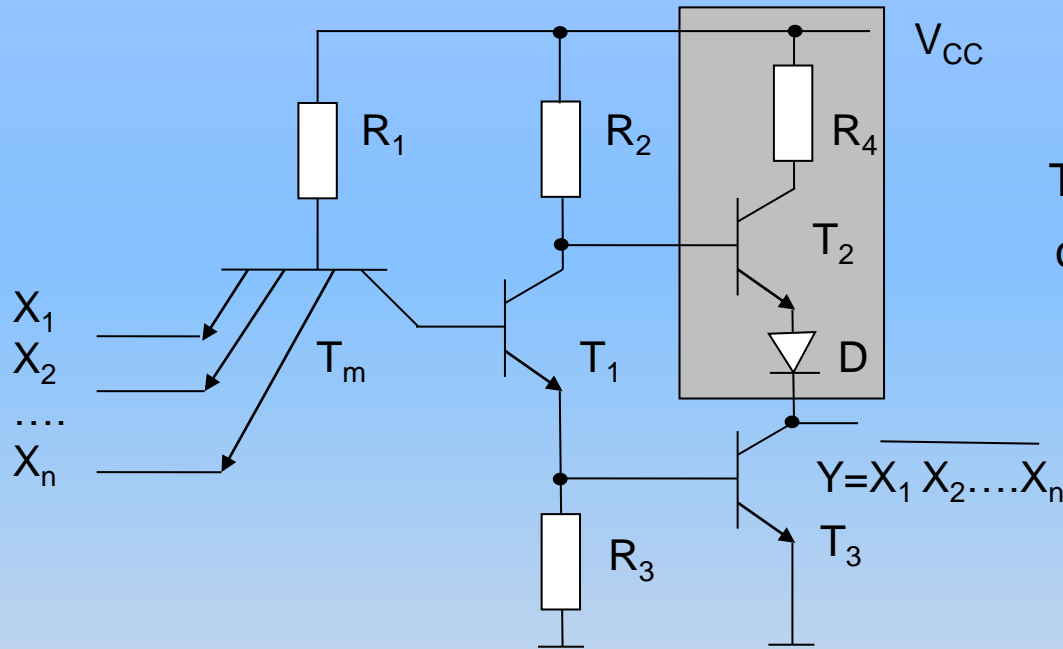
Логически нива (двоично кодиране, положителна логика)

1. "Нормален" /противотактен/ изход



Елементи с изходно стъпало, ОК (ОД)

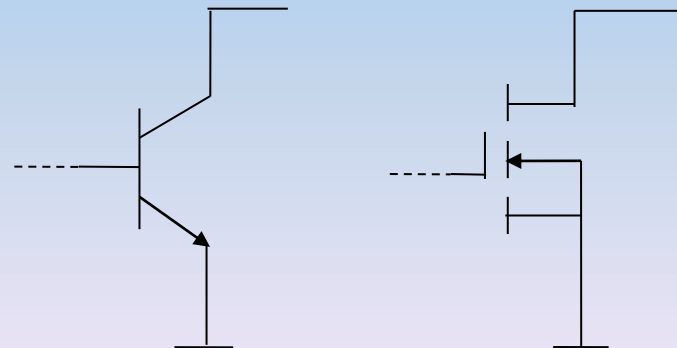
2. Изходи тип “отворен колектор”(ОК); “отворен дрейн”(ОД)



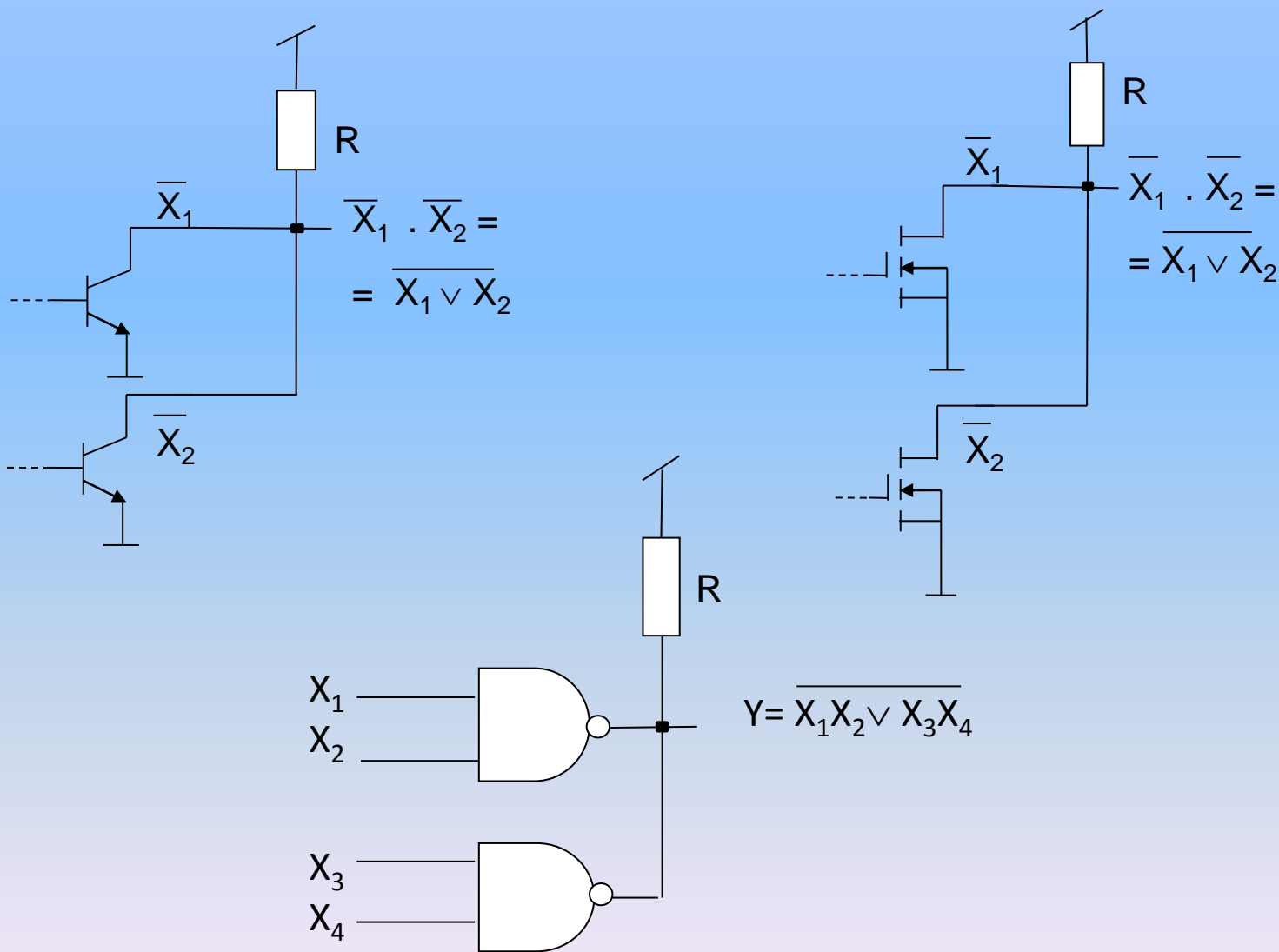
TTL елемент (N серия с изходно стъпало тип “сложен инвертор”)

Изходни стъпала:

- с отворен колектор (TTL схеми);
- с отворен дрейн (MOS/CMOS схеми).

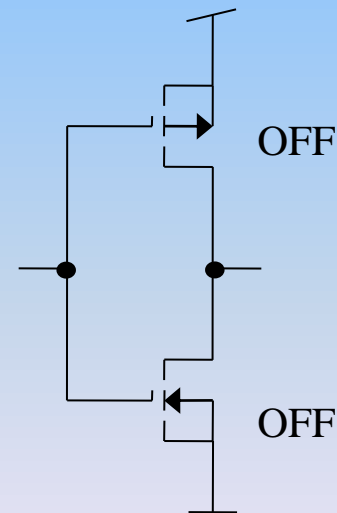
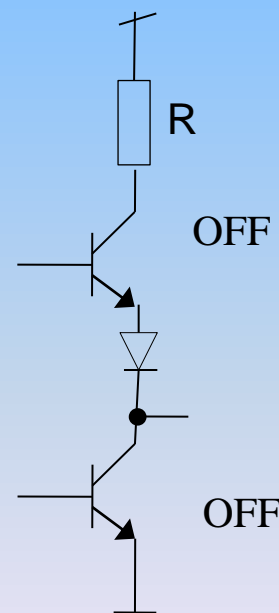
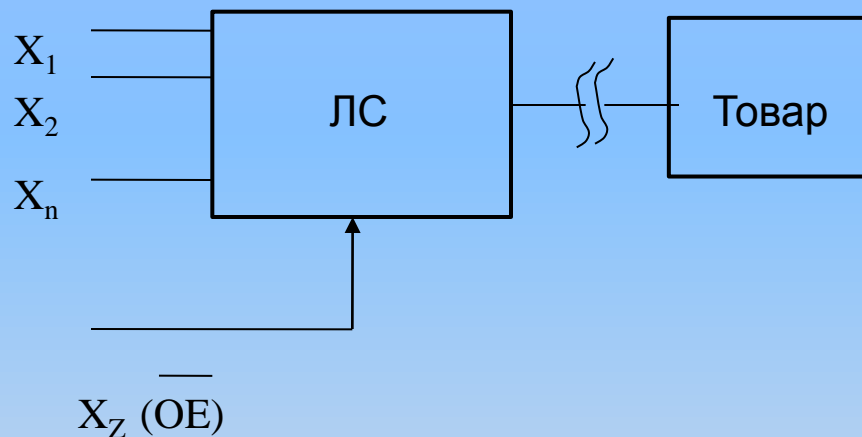


Реализация на свързване тип “жично” ИЛИ в изходи с ОК/ОД



3. Изходи с Високоимпедансно състояние (High Impedance)

ВИС, High Impedance (H.I.), 3-state, Z-state

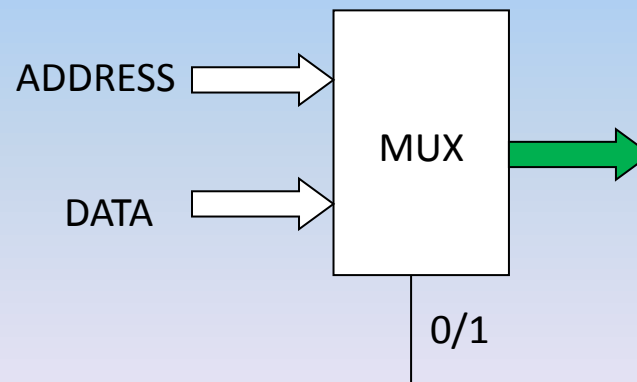
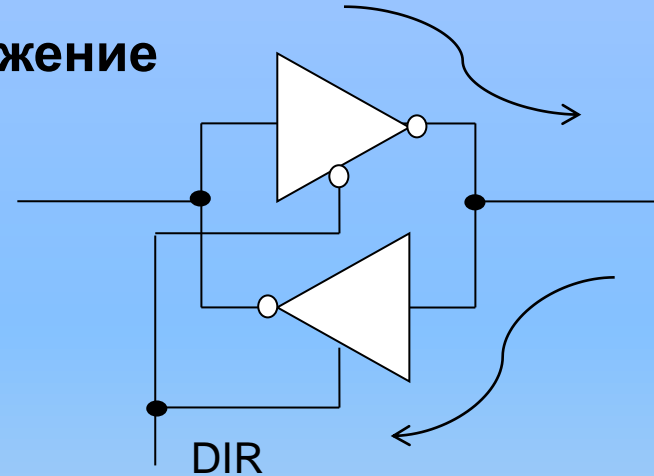


Типове **изводи**. Входи, изходи

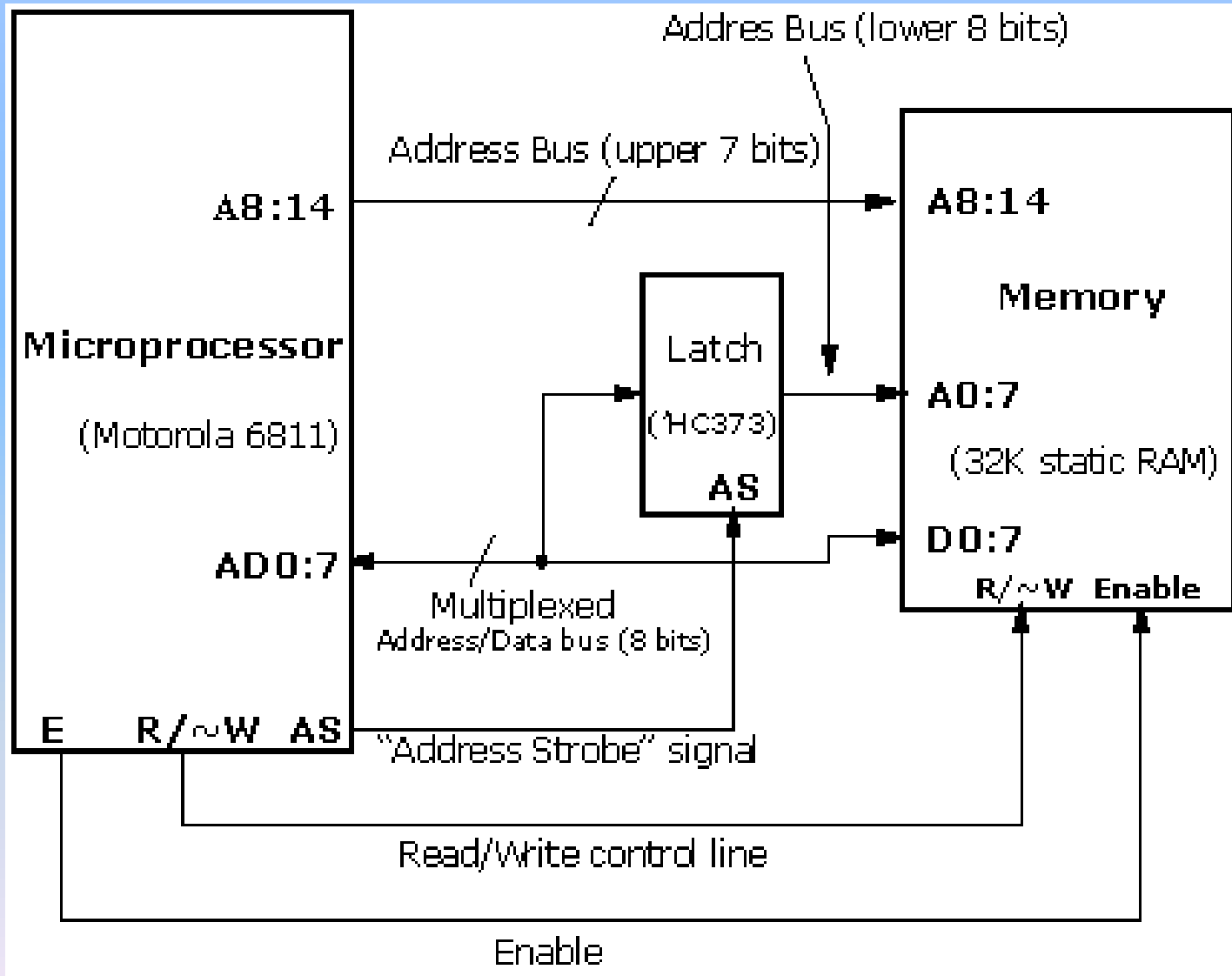
- ❑ Входи – упр. по ток / по напрежение
- ❑ Изходи – “0”, “1”, Z (H.I.)

- ❑ Еднопосочни / двупосочни

- ❑ Мултиплексирани → за адреси и данни в МПС



Мултиплексиране на адреси и данни в МПС (68HC11)



ТТЛ нива, ТТЛ съвместимост

Технология	ниско ниво U^0	високо ниво U^1	захр.източник
CMOS	0V до $V_{DD}/2$	$V_{DD}/2$ до V_{DD}	V_{DD} – захр.напрежение
TTL	0V до 0.8V	2V до V_{CC}	$V_{CC} = 4.75V$ до 5.25V
ECL	$-V_{EE}$ до -1.175V	-0.75V до 0V	$V_{EE} = -5.2V$ $V_{CC}=GND$

Входни и изходни нива, прагови напрежения

Захр.напрежения – означения: V_{CC} , $-V_{EE}$ / V_{DD} , $-V_{SS}$

V_{IH} V_{IL}

V_{OL} V_{OH}

V_T – threshold voltage (прагово напрежение)

ТТЛ съвместимост (при CMOS ИС):

- по отношение на входовете: $V_{IL} \leq 0.8V$, $V_{IH} \geq 2.0V$
- по отношение на изходите: $V_{OL} \leq 0.4V$, $V_{OH} \geq 2.4V$ (по-строги).

Фамилии ИС с НСИ/ССИ

(TTL съвместими), с общо предназначение:

▪ TTL схеми – 74 [A] [N,H,L,S,LS]

-TTL (**74/54N**) True TTL

-74L Low power

-74S Schottky

-**74H** High speed

-**74LS** Low power Schottky

-74AS Advanced Schottky

-**74ALS** Advanced Low power – Schottky

-74F(AST) Fast (Advanced Schottky)

▪ CMOS схеми – 74 [A][H] C [T] ... [AV,AU]

-**74C** CMOS (различни V_{DD} нива)

-74HC (U) High speed CMOS

(небуферирани изходи)

-**74HCT** High speed CMOS - TTL inputs

-74AHC Advanced High speed - CMOS

-**74AHCT** Advanced High speed - CMOS – TTL inputs

-74FCT (-A) Fast - CMOS - TTL inputs (различна скорост)

-74AC Advanced - CMOS

-74ACT Advanced - CMOS - TTL inputs

-74FACT AC, ACT (Q) series

-74ACQ Advanced CMOS - Quiet outputs

-74ACTQ Advanced - CMOS - TTL inputs Quiet outputs

- 74AVC, 74AUC Advanced Very low-voltage, Ultra low-voltage

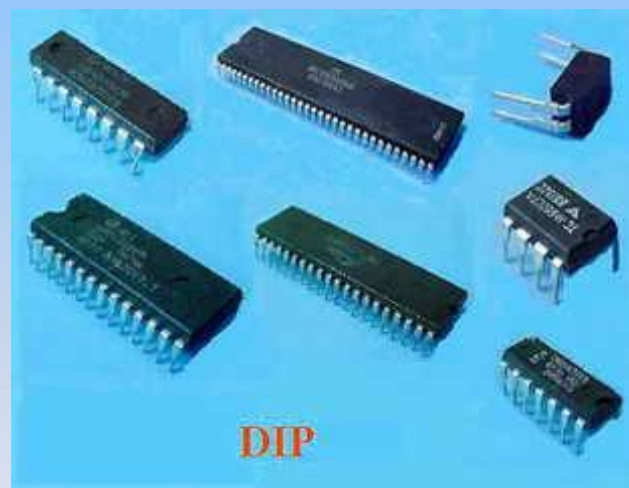
Драйвери за линии (Bus Driver Families)

- 74ABT Advanced - **BiCMOS**
- 74ABTE ABT- Enhanced Transceiver Logic
- 74ABTH Advanced BiCMOS– bus Hold
- 74BCT BiCMOS - TTL inputs
- 74BTL Backplane-Transceiver- Logic
- 74GTL Gunning - Transceiver - Logic
- 74GTLP GTL Plus

Нисковолтови фамилии (Low Voltage Families)

- 74ALB Advanced Low Voltage BiCMOS
- 74LV (U) Low – Voltage
(небуферирани изходи)
- 74LVC (R) (U) LV - CMOS (damping резистор, небуферирани изходи)
- 74LVCH Low Voltage- CMOS - bus Hold
- 74ALVC Advanced Low-Voltage- CMOS

- 74LVT (R) (U) LV - (damping резистор, небуферирани изходи)
- 74LVTZ Low-Voltage- TTL- H.I.power-up
- 74ALVC (R) ALV - CMOS (bus Hold) (damping резистор)
- 74ALVCH Advanced– Low-Voltage - CMOS - bus Hold
- 74LCX LV - CMOS ($V_{CC}=3V$ & $5V$)
- 74VCX LV - CMOS ($V_{CC}=1.8V$ & $3.6V$)
- **4000** True CMOS (не -TTL нива)



Корпуси - DIP (Dual In-line Package)
Други: DIP: CDIP, PDIP, SDIP;....., IP, QP

ECL фамилии ИС:

MEC I 8nS
MEC II 2nS
MEC III 1nS

101xx 100 серия 10K ECL, 3.5nS
102xx 200 серия 10K ECL, 2.5nS
108xx 800 серия 10K ECL, компенсирани по напрежение, 3.5nS

10Hxxx 10K - High speed, компенсирани по напрежение, 1.8nS
10Exxx 10K - ECLinPS, компенсирани по напрежение, 800pS

100xxx 100K, темп.компенсирани
100Hxxx 100K - High speed, темп.компенсирани
100Exxx 100K - ECLinPS, компенсирани по напрежение и темп. , 800pS

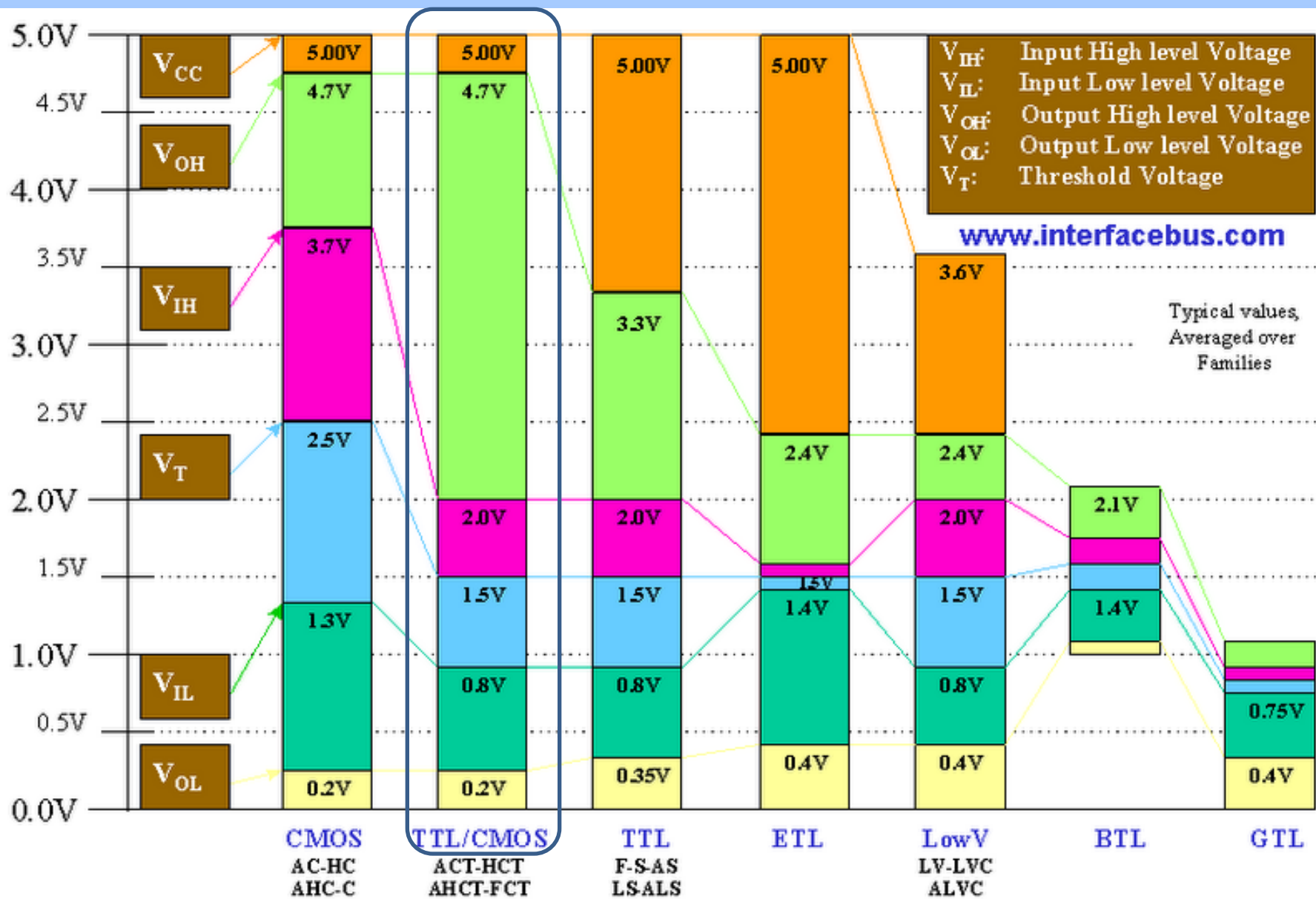
Други технологии: Gunning transceiver logic (GTL / GTLP)

 Silicon on Sapphire (SOS)

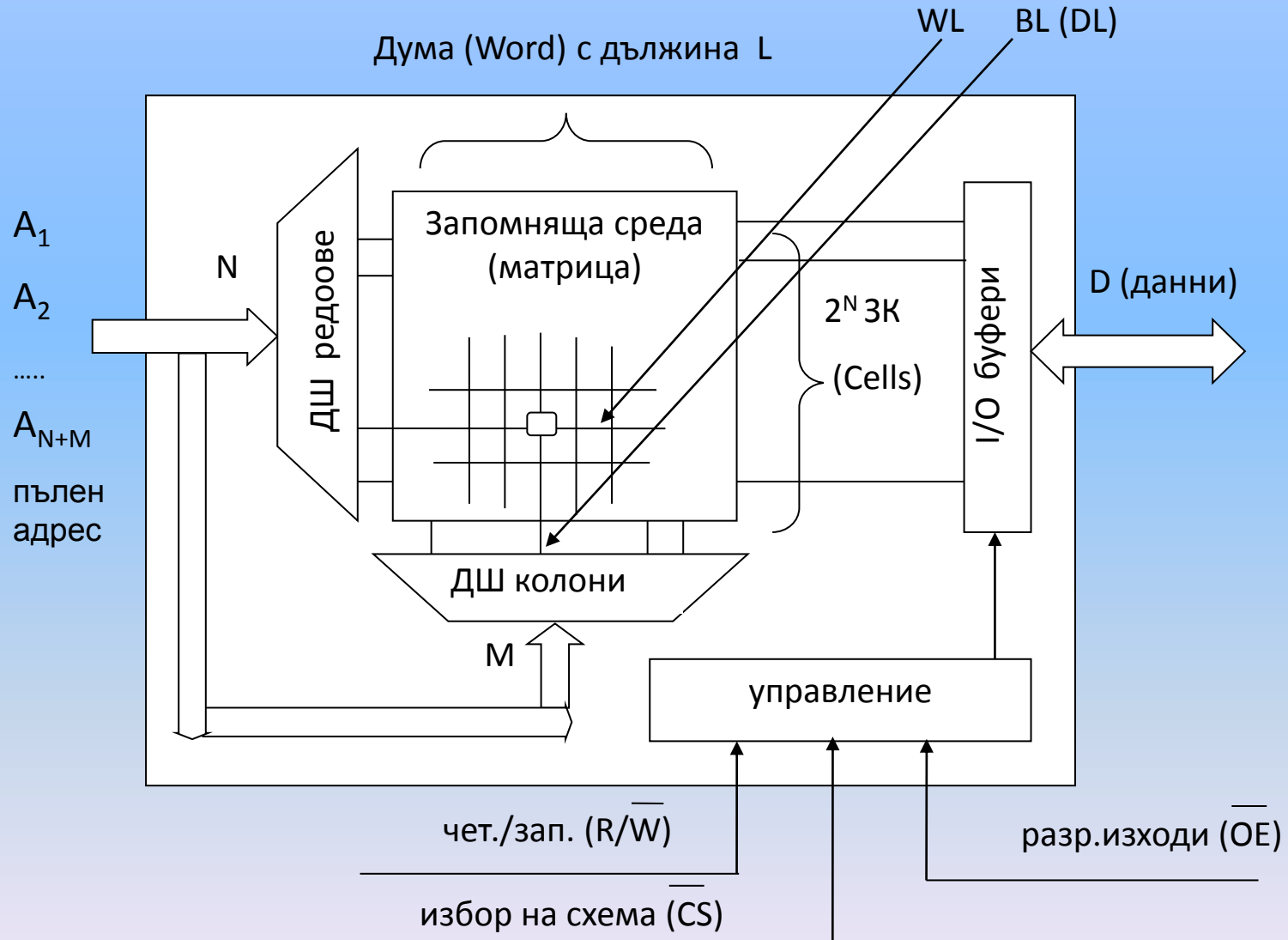
 Crossbar Technology (CBT)

 Integrated Injection Logic (I²L)

Източник: <http://www.fairchildsemi.com/ms/MS/MS-567.pdf>



Памети с непосредствен /произволен/ достъп - структура



RAM: основни характеристики

- Еднакво време на достъп до всяка ЗК;
- Дешифриция на адреса по редове и по колони;
- Запомняща среда - матрица от ЗК: на база тригери (SRAM) или на база други специфични транзисторни структури (DRAM);
- включват допълнителни схеми за четене/запис и усилватели.

- изискват наличие на следните управляващи сигнали:
 - \overline{CS} (chip select) – избор на схема (избрана при ниско ниво $\overline{CS}=0$);
 - R/\overline{W} (read/write) – четене запис (при $R/\overline{W}=0$ – запис), още – \overline{WE} (write enable);
 - \overline{OE} (output enable) – разрешен/забранен изход (H.I.).

- процесите на четене и запис се извършват при спазване на определена последователност на подаване на адреси, управляващи сигнали и данни и минимални времена на отстояние (timing).

Разположение на 3Е в запомнящата матрица на памети с непосредствен достъп

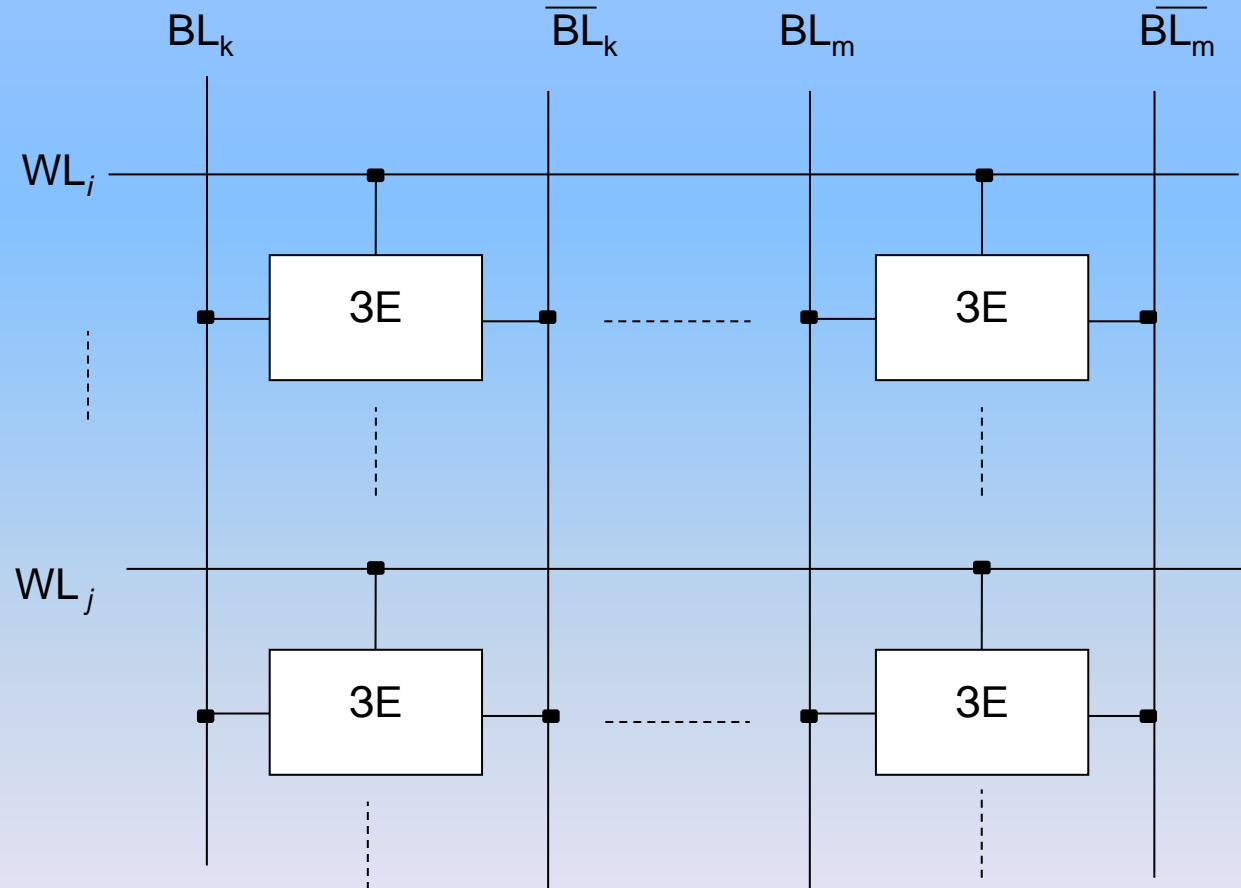
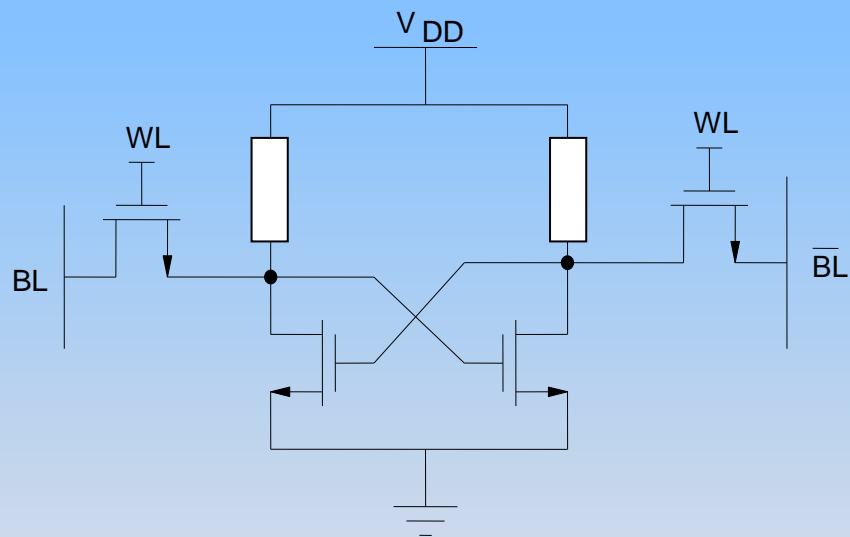


Таблица на стойностите на сигналите (режими) на работа на **SRAM** памети

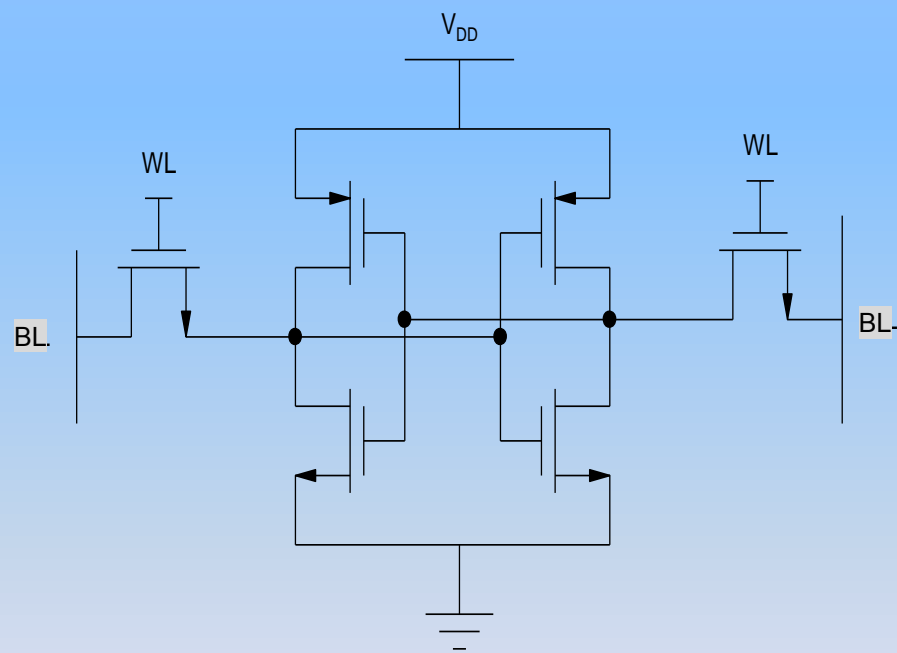
	ADDR	CS	R/W	OE	DATA IN / OUT
Неизбрана	x	1	x	1	Hi Z
Read (четене)	VALID	0	1	0	DATA OUT
Write (запис)	VALID	0	0	0	DATA IN
Standby (готовност)	x	0	x	1	Hi Z

Основни типове 3Е при памети с непосредствен достъп от типа SRAM

4-T SRAM (R-MOS)

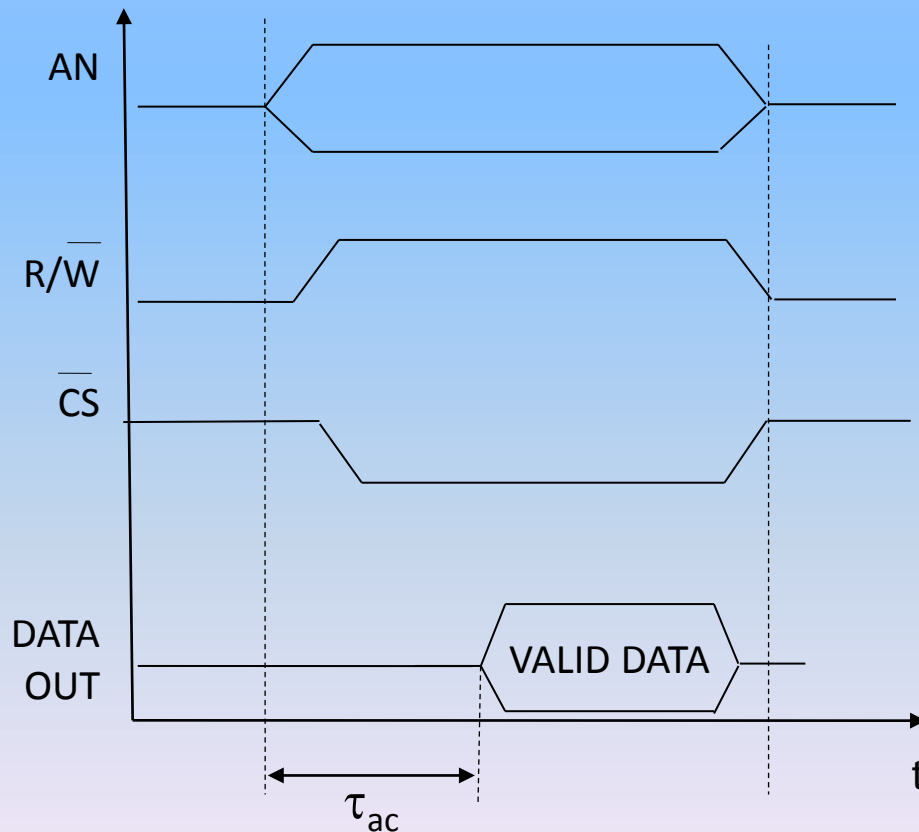


6-T SRAM (CMOS)



Режими на работа на памети с непосредствен достъп (само по отношение стойностите на управляващи сигнали, адреси и данни)

■ четене от паметта:

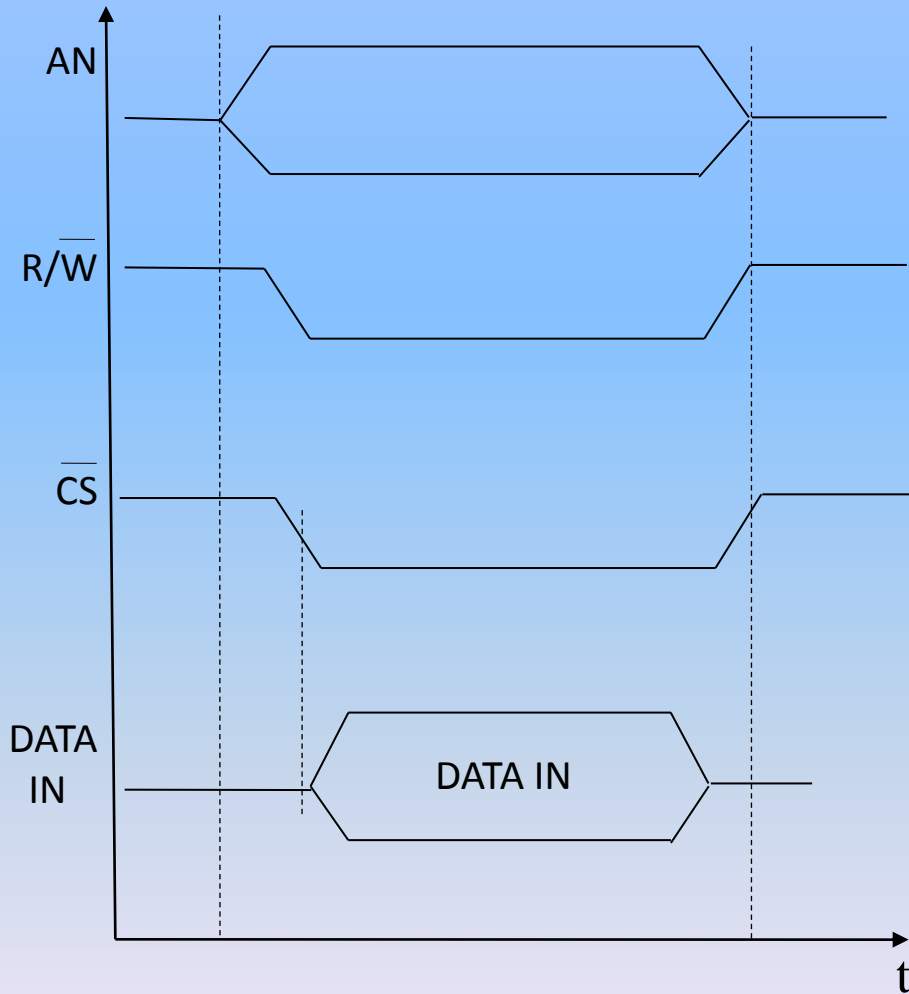


1. AN (ADDR) – адрес
2. $\overline{R/W}$ – четене / запис ($\overline{R/W}=1$)
3. \overline{CS} – избор на схема
4. DATA OUT – данни в изхода.

τ_{ac} - време на достъп
(access time)

! валидност на данните

■ запис в паметта:



1. AN – адрес
2. $\overline{R/W}$ – четене / запис ($\overline{R/W}=0$)
3. \overline{CS} – избор на схема
4. DATA IN – записани данни.

! стробирание на данните по \overline{CS}

! липсва режим на изтриване /новата информация се записва направо върху старата/

Практически структури на SRAM – Static RAM (вид volatile memory): състав, сигнали, режими, ВД

- **Запомняща среда** (memory array) – 1 или повече;
 - ! Основен елемент – тригер с 2 изх.състояния (bistable device);
- **ДШ** (АД) – по редове и колони WL (word line), BL (bit line);
- **CLK** – тактови структури;
- **Допълнителни схеми за четене и запис;**
 - структури за запис (запомня входната дума);
 - разрешаващи изходите схеми (3-state изходни буфери);
- **Вътрешни броячни схеми и регистри** (при т.нар. burst режими - адрес, pipeline - данни), други контролни функции.

Практически структури на SRAM

Сигнали, свързани с работата на SRAM

ADDR (AN) – броят зависи от обема на паметта, като се избират едновременно I/O шини (в завис. от организацията на паметта, дължина на думата), напр. за 128K x 16bit → 17 адр.шини и 16 шини за данни;

Data inputs/outputs (DQ, I/O) – с фиксирана дължина L. Могат да бъдат отделни пинове на чипа или по общи. Когато няма операция R/W – H.I.;

$\overline{\text{OE}}$ - разрешава DQ (I/O шини) с ниско ниво;

C(K) тактови сигнали (dual clock SRAM);

$\overline{\text{CS}}$ – осигурява достъп до блок памет;

$\overline{\text{R/W}}$ ($\overline{\text{WE}}$, Write Enable) – разрешение за запис в паметта с ниско ниво;

Byte Write Enable ($\overline{\text{WEx}}$) – при IBM памети (9 pin DQ) – за маскиране на конкретен байт данни.

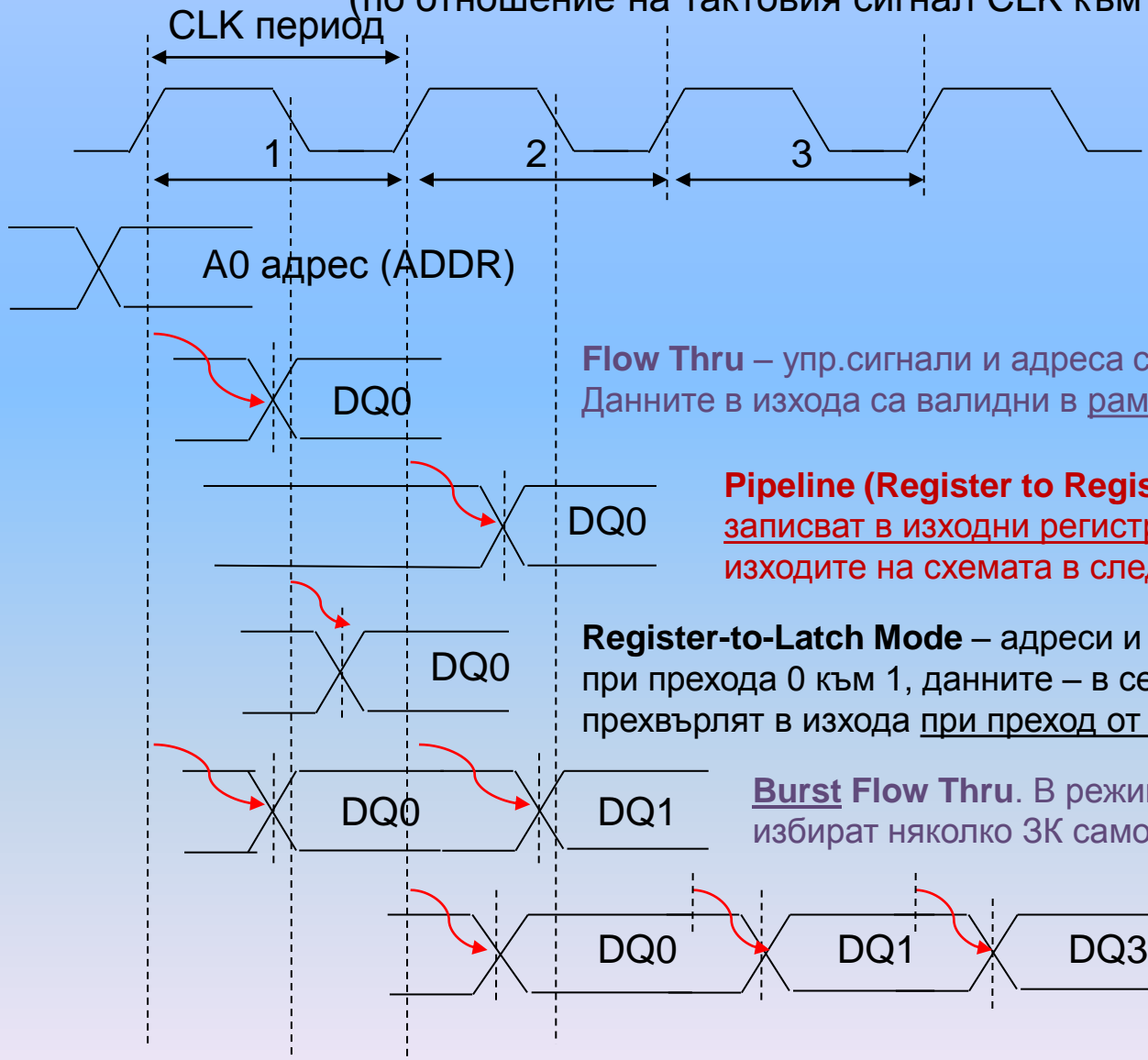
Практически структури на SRAM

Съвременни SRAM памети според технологичната им структура:

- ❑ “**mixed-MOS**” (комбинация от CMOS+NMOS): висока плътност и невисока консумация (масови решения);
- ❑ **изцяло CMOS** – ниска консумация, отн.голяма заемана площ;
- ❖ за високо бързодействие и ниска консумация: смесени CMOS и “mixed-NMOS” или BiCMOS;
- ❖ биполярни – при необходимост от много високо бързодействие (висока консумация и заемана площ);
- ❖ на базата на GaAs (високо бързодействие, цена).

Видове режими (modes) на четене при съвременни SRAM

(по отношение на тактовия сигнал CLK към паметта)



Flow Thru – упр.сигнали и адреса са установени преди CLK. Данните в изхода са валидни в рамките на същия CLK период;

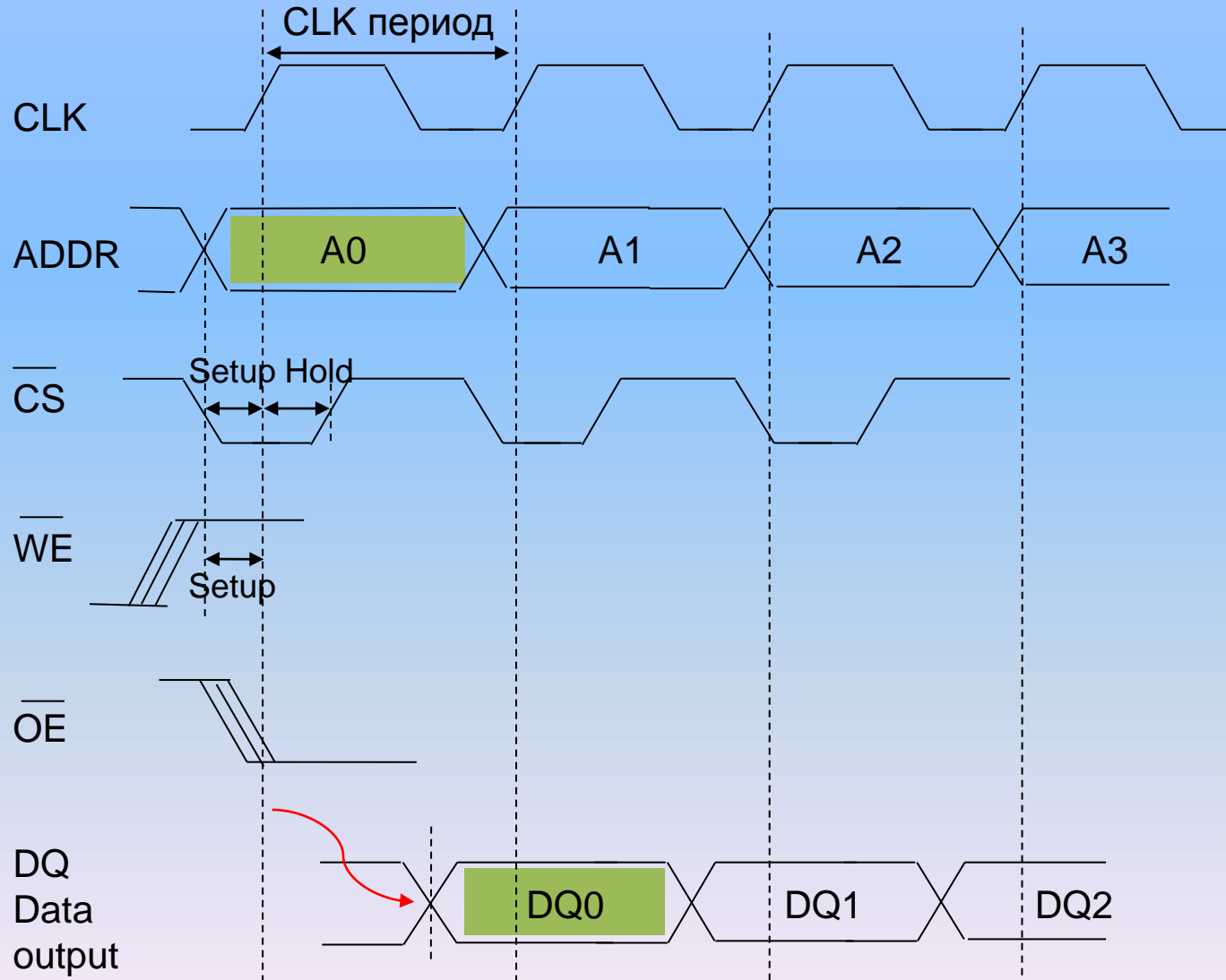
Pipeline (Register to Register) – данните се записват в изходни регистри и са достъпни в изходите на схемата в следващия CLK цикъл;

Register-to-Latch Mode – адреси и упр.сигнали се запомнят при прехода 0 към 1, данните – в серия D тригери и се прехвърлят в изхода при преход от 1 в 0 в същия цикъл;

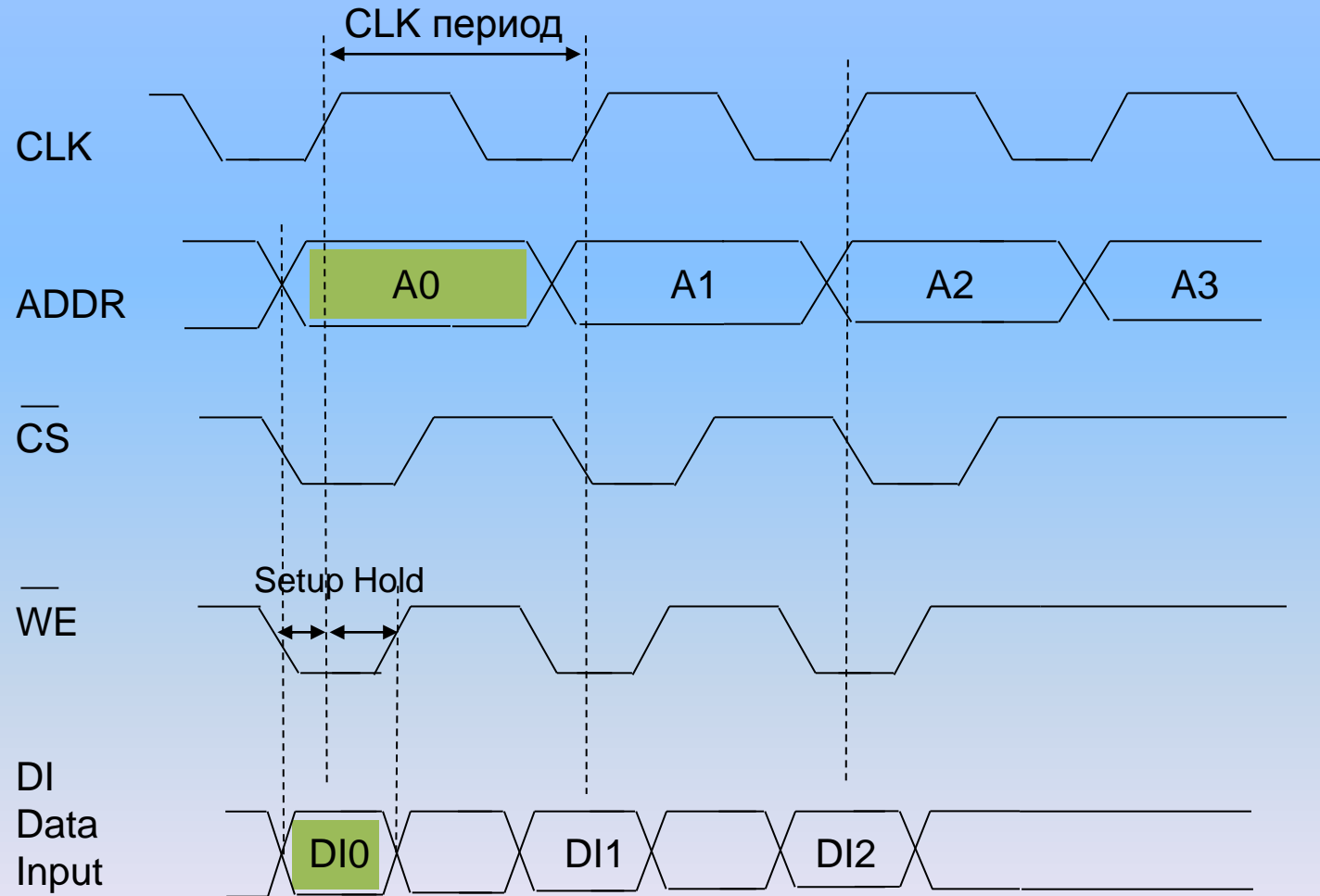
Burst Flow Thru. В режим Burst едновременно се избират няколко ЗК само с 1 адрес и вграден брояч

Burst Pipeline

Режим “четене” в SRAM – ВД в практически структури (Flow Thru) (по отношение минималните изискуеми Setup и Hold времена за контролните сигнали)



Режим “запис” в SRAM – ВД в практически структури (Flow Thru) (по отношение минималните изискуеми Setup и Hold времена за контролните сигнали)



Допълнителна литература:

http://www.interfacebus.com/voltage_threshold.html

http://klabs.org/DEI/References/design_guidelines/nasa_guidelines/misc/ttl_compatibility.htm

<http://www.owl.net.rice.edu>

Ashok K Sharma, “Advanced Semiconductor Memories – Architectures, Design, and Applications”, Willey Inter-Science, 2003, pp.652.