

“Интегрирана” FLASH и DRAM в един чип

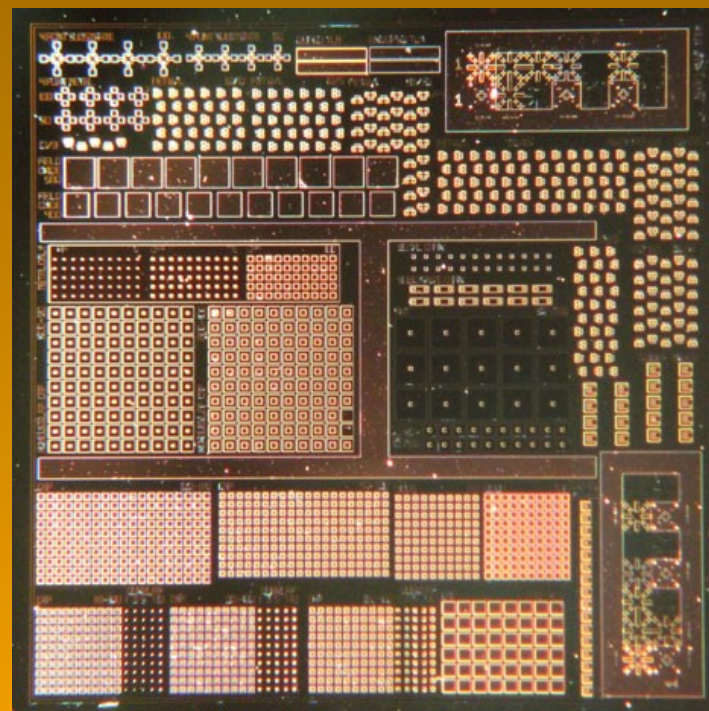
3 March 2011. Инженерен екип (Paul Franzon, Daniel Schinke, Neil Di Spigna и др.) от Университета в Северна Каролина (North Carolina State University - NCSU) предлага single-chip решение на разширен вариант на Flash интегрална структура в опит да се създаде т.нар. "unified memory" със следните свойства:

- бърза, като енергозависимите (volatile) памети, в частност DRAM;
- бавна, но енергонезависима (non-volatile) структура, като Flash паметите.

До момента: прототип върху чип и симулация работата на една клетка за потвърждаване на концепцията.

Daniel Schinke: “Нашата структура е по-малко авантюристична – т.е базирана е на изпитана технология”

- два плаващи гейта (вместо един, както при традиционната Flash)
- при използване на долния плаващ гейт – както обикновена Flash структура;
- при използване на горния гейт и постоянно захр.напрежение – прехвърляне на количества електрони от долния гейт за означаване на “0” или “1”



фиксиращи

“Интегрирана” FLASH и DRAM в един чип

Проблеми :

- опасения за евентуално интерфериране между двата режима на работа на (Tuo-Hung Hou, Професор в National Chiao Tung University, Taiwan);
- използването като многофункционална (repurposing) памет – сега основно структурата е оптимизирана като такава да съхранява съдържанието, а не толкова да е стабилна при много цикли четене/запис, както е при DRAM паметите;
- проблемът при традиционните Flash е, че те изискват постоянно електрическо поле приложено върху диелектричния слой, така че да привлече електрони върху плаващия гейт. При множество цикли на запис качествата на диелектрика се променят и съответно електроните могат да “избягат”. Например, при около 100 000 записа, качествата на Flash отслабват, докато традиционните DRAM издържат поне 10 пъти повече цикли.

“Интегрирана” FLASH и DRAM в един чип

Перспективи за развитие:

- По-близко разположени плаващи гейтове – по-висока скорост в режим DRAM;
- Използване на директно *квантово тунелиране през тънкия слой между гейтовете* и така да се предпази промяната в структурата на диелектрика. Избягва се подаването на високо напрежение в обикновените Flash структури;
- Повишаване значително броя цикли запис, както е в DRAM: в режим Flash да се ползва традиционния начин за извличане на електрони от подложката. В режим на използване като DRAM да се прилага постоянно напрежение за бързо тунелиране на електрони от долния към горния слой и задържането им там;
- Преди изключване на захранване – състоянието на DRAM паметта се запазва в долния гейт (освобождава заряда при “0” и го връща обратно при “1”) – трансфер в рамките на ns и съхранение “freeze”. Цел – значително намалено време за процесора за ново обръщане към паметта - т.нар. “near instant boot” при start-up.
- Чувствително намаляване на общата консумация вследствие на “freeze” режима за съхранение на данни!

Източник: <http://spectrum.ieee.org/semiconductors/memory/a-flash-memory-that-doubles-as-dram>