ЦИФРОВА СХЕМОТЕХНИКА

ЛЕКЦИЯ #10

CCD структури. CMOS сензори за съхранение и обработка на изображения (image sensors)

- CCD структури - базирани на трансфер на заряд между свързани гейтове в рамите на канален (регистров) пренос.

Видове приложни решения:

- ✶ ***Surface-channel (SCCD);***
- ✶ ***Buried-channel (BCCD).***

Реализация на CCD регистровия трансфер:

- в рамките на 2-фази на тактовия сигнал;

- в рамките на 3-фази на тактовия сигнал;

- с повече фази (мултифазен трансфер).

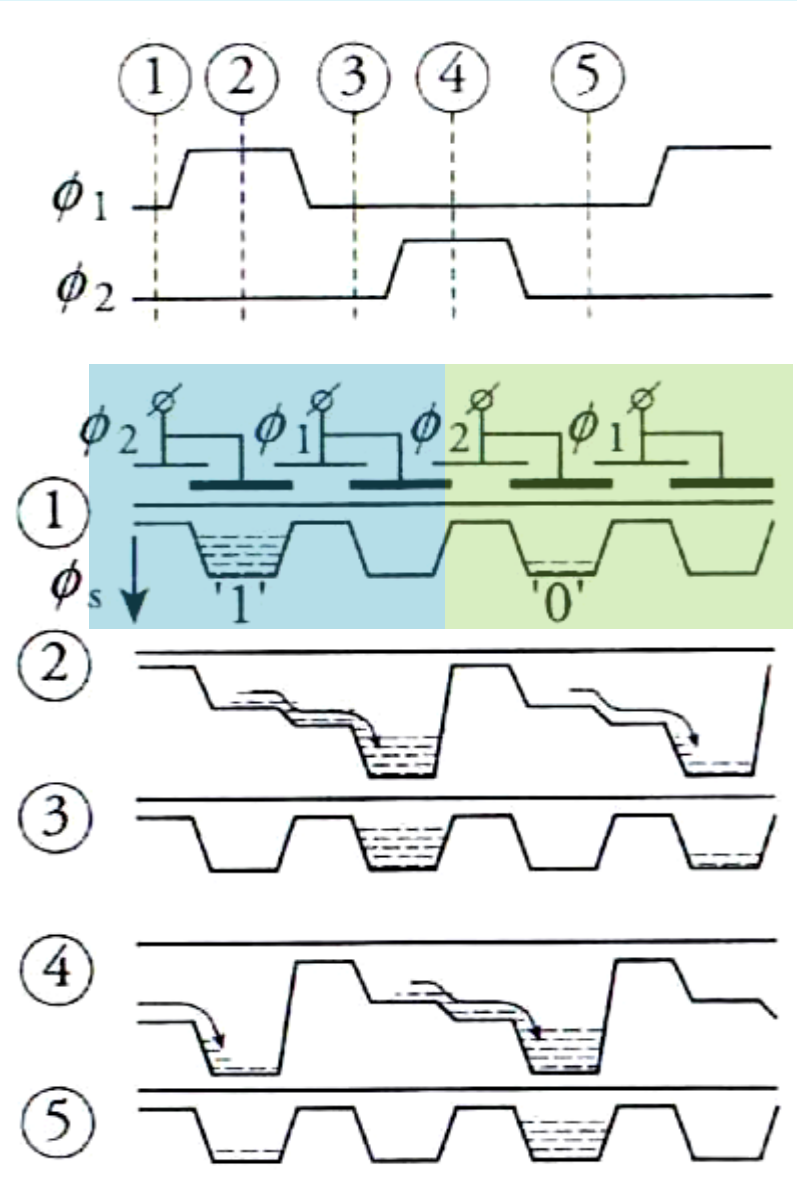
<u>Пример</u>: трансфер на заряд в 2-фазова SCCD структура (фази $Ø_1$,$Ø_2$)

SCCD структури. Структура и анализ на работата

<u>Структура</u>:

- poly-Si гейтове под които се съхранява заряда (bold) - ***'storage gates'*** *(SG);*
- гейтове с които се осъществява трансфера (от poly-Si или метал) -***'transfer gates'*** *(TG)*– разположени върху по-дебел окисен слой и с по-високо прагово напрежение (V_T≈2V). Изграят ролята на бариера между съседните *'storage gates'.*

➢ *Нека в началото на процеса под SG1 има заряд (логическа '1'), а под SG3 да липсва заряд (логическа '0'). Показани са 2 съседни клетки (cells).*



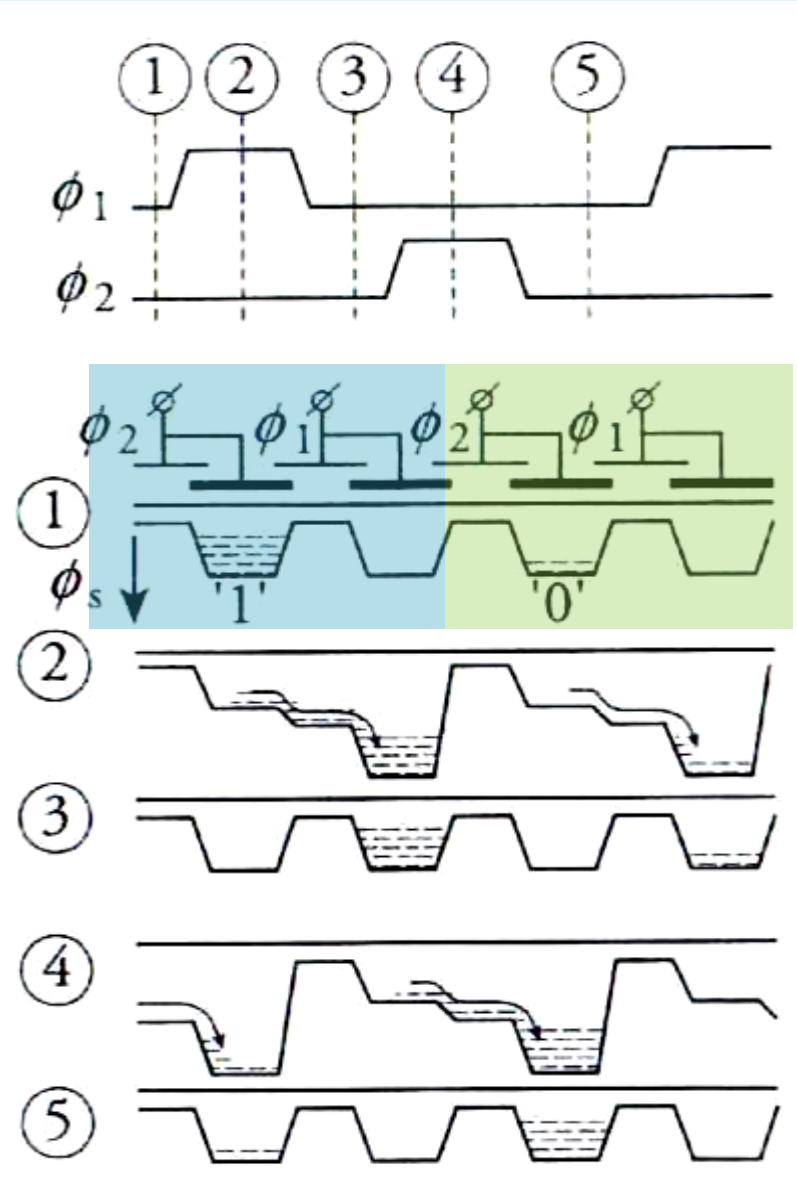
SCCD структури. Структура и анализ на работата

<u>Действие</u>:

- В момента t=1 такт $Ø_1$ и $Ø_2$=0 и зарядите под SG1,SG2 са разделени един от друг и се съхраняват;
- В момента t=2 $Ø_1$=1 ($Ø_2$=0) и заряда се пренася от зоната под SG1 към SG2;
- В момента t=3 отново $Ø_1$ и $Ø_2$=0 и заряда се съхранява под SG2;

В моменти t=4 и t=5 анализът за втората клетка е аналогичен по отношение преместването на заряда чрез заместване на $Ø_1$ с $Ø_2$

Т.е., между моменти 1 и 5 трансферът на заряда между две съседни клетки се осъществява в рамките <u>само на един период на тактовия сигнал</u>.



SCCD структури. Характеристики

Всеки CCD елемент има две запомнящи клетки /cells/, всяка от които се състои от: (1) Област за съхранение на заряда /запомнящи структури/ или “кошница/ведро” (bucket); (2) *Transfer gate*; (3) *Storage gate*.

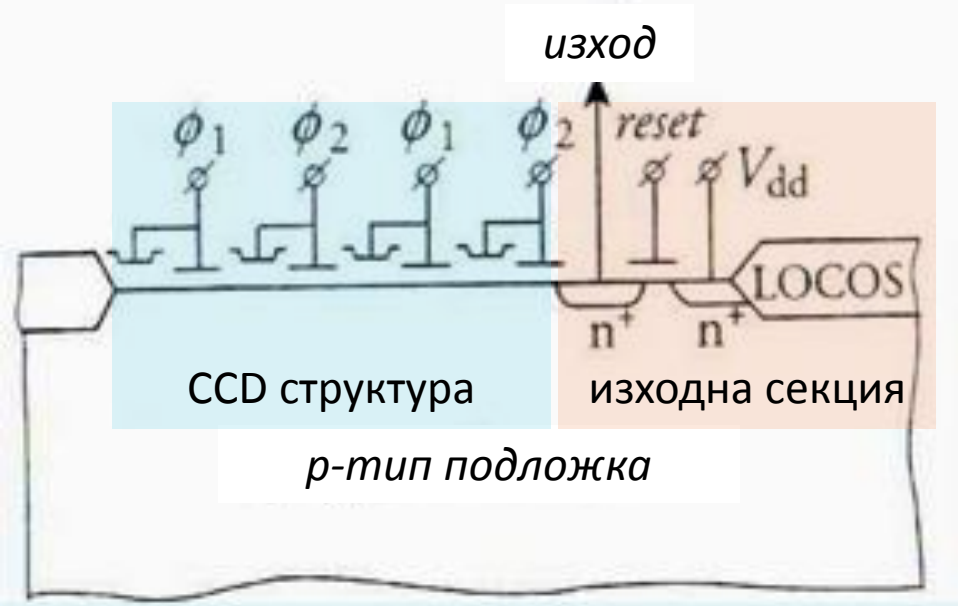
Двете запомнящи клетки в CCD елемента – аналогично на един Master-Slave синхронен D-тригер.

- За реализация на 2-фазов процес например в CCD 500Kb регистрова структура се изискват 1Mb запомнящи клетки върху чипа.
- По-добро съотношение между броя запомнящи елементи и броя запомнящи кетки в регистровите CCD структури – чрез усложнена тактова схема.

SCCD и BCCD структури. Предимства на BCCD

Практически схеми на Image сензори /долу/ - включва (1) CCD структура и (2) изходна секция. При това фотоните в сензора достигат до силициевата повърхност през оптични лещи, през които се конвертират в електрони.

Цялото изображение се “захваща” в CCD матрицата /array/, от която в последствие се чете чрез преместване ред по ред /shifting & transferring/ към изхода – в дясно на схемата.



SCCD и BCCD структури. Предимства на BCCD

<u>Основен недостатъци на SCCD</u> - Наличието на повърхностни състояния, които ограничават подвижността и от там бързодействието на приборите;

Решение – чрез трансфер на заряда под специален вграден (buried) тънък n-слой малко под повърхността на пластината - **BCCD структура** /дясно/.

Основно изискване – n-вграденият слой да е беден на електрони.

Тактовият и управляващите сигнали се подават с отместващо /offset/ напрежение, чийто максимум е малко под повърхността на Si подложка. При това електроните, инжектирани в прибора се съхраняват именно в този потенциален максимум.

SCCD и BCCD структури. Предимства на BCCD

Обедненият n-слой предпазва носителите на заряд (електроните) да достигнат повърхностните състояния и водят до ускоряване на трансфера.

Предимства на Buried-channel CCDs (BCCD):

- липса на влияние от повърхностни състояния;
- по-висока честота на работа при пренос на заряда в сравнение със SDDC поради по-високата подвижност на носителите в обема на подложката (около 2 пъти по-висока).

Използване на SCCD/BCCD – както в цифрови, така и в аналогови приложения.

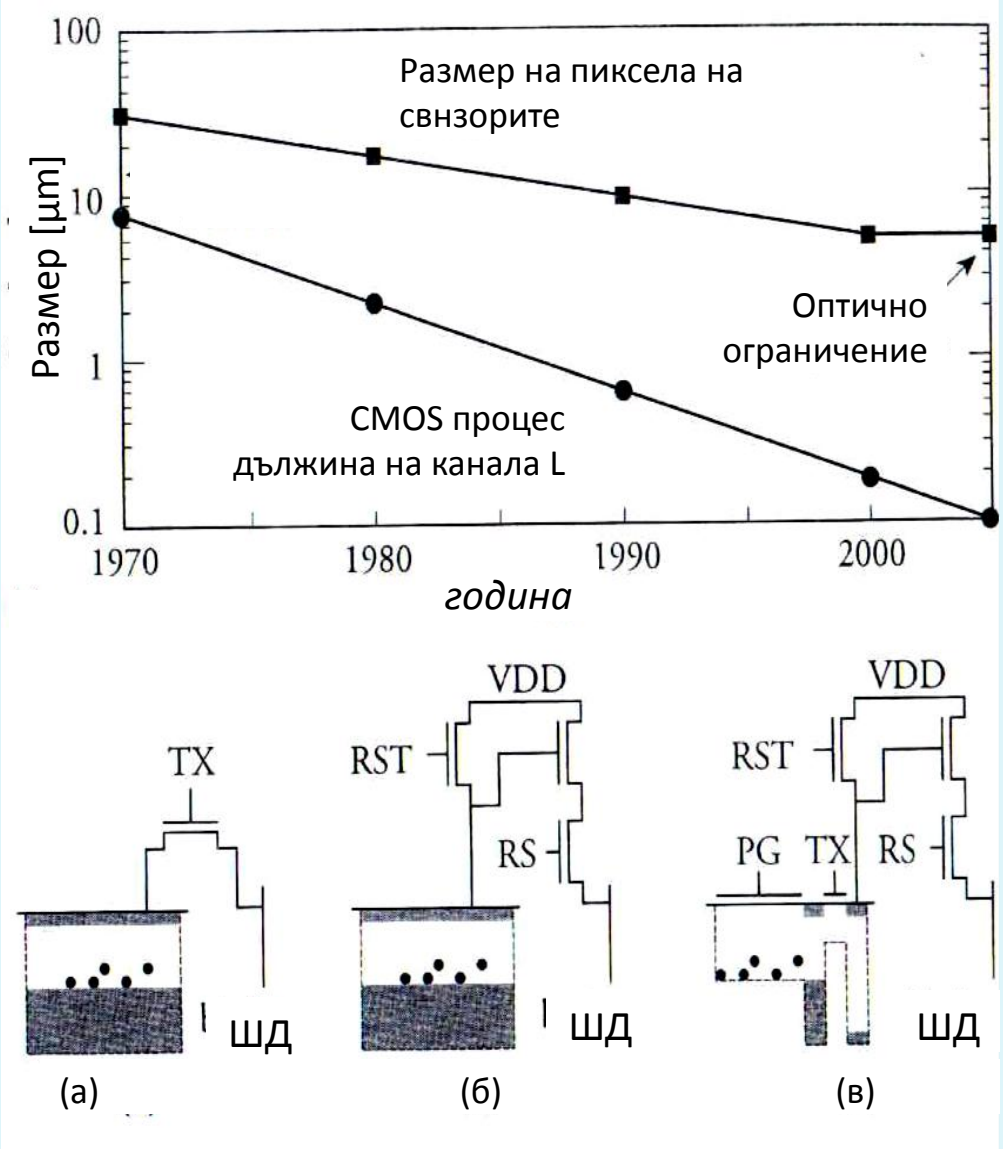
Image сензорите – понастоящем с обем от стотици Мегапиксели. При видео-камерите са интегрирани заедно с паметта в рамките на общ чип.

CMOS image сензори

Поява: (1) в следствие на развитието на CMOS технологията; (2) възможност за улавяне на слаба светлина и преобразуването й в носители на заряд.

<u>Сензори с активни пиксели</u> *(Active Pixel Sensors, APS)* : *включват усилвател за всеки пиксел*.

- с единичен транзистор, свързан с ШД (а). Заряда се преобразува в напрежение чрз усилвател под ШД;
- с активен усилвател (б): по-голяма чувствителност - плътност 20 до 30% по-висока;
- с интегриране на заряда под гейта (в) и усилвател .



Основни характеристики и приложения на CMOS image сензорите

- ❑ висока степен на интеграция;
- ❑ относително ниска цена;
- ❑ ниска консумирана мощност;
- ❑ висок рандеман на производство.

- видеокамери,;
- мултимедийни приложения, в т.ч. PC камери;
- системи за сигурност ;
- видео-телефони и т.н.

Пример – Toshiba
T4K05 – 8Mpixels
BSI (Backside illumination)

Applications

- Cellular and Smartphone

Features

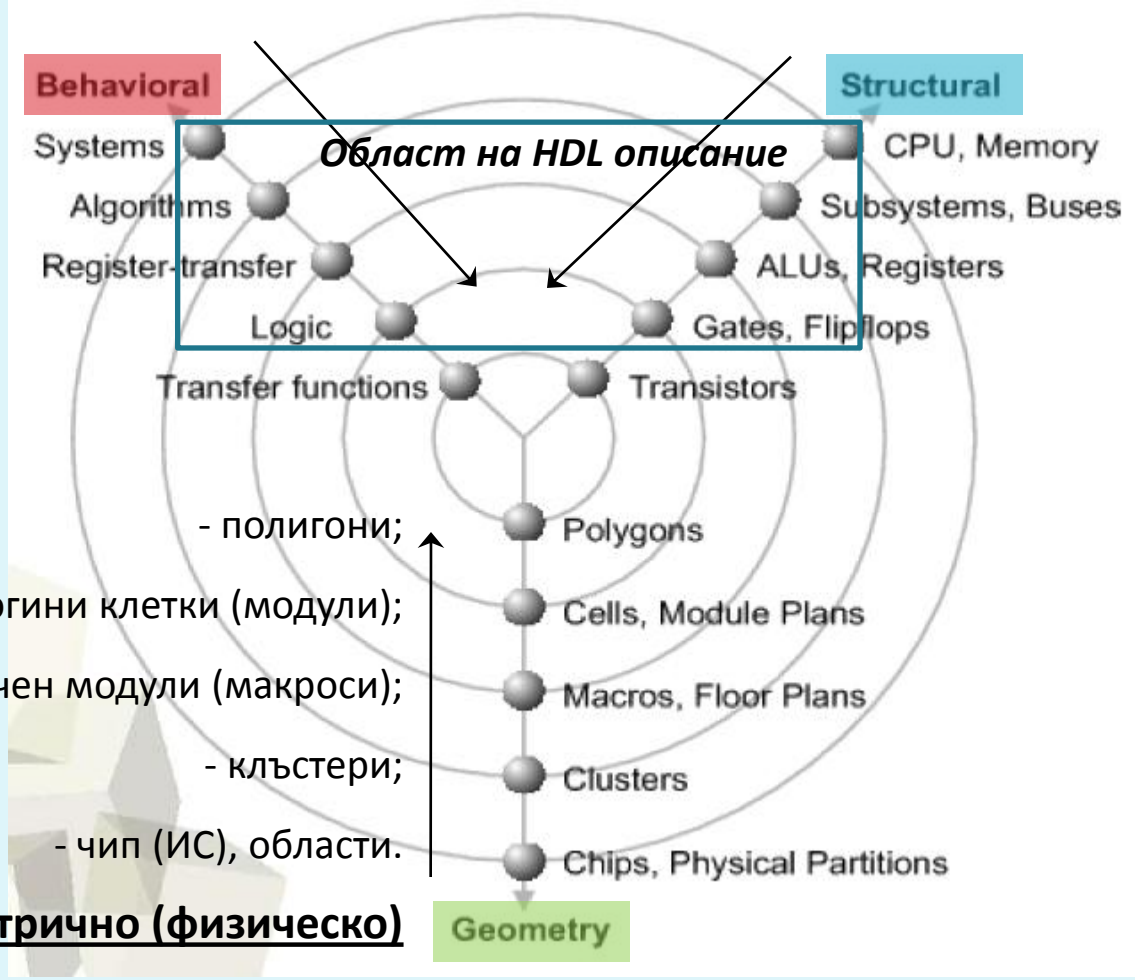
- ¼″ 8M resolution (1.12 micrometers)
- Backside Illumination (BSI)
- Progressive scan
- I²C interface
- Sub-sampling: Vertical and horizontal ½″, ¼″
- Built-in Phase Lock Loop (PLL) with Dual PLL (second PLL for MIPI® output)
- High Dynamic Range (HDR)
- Lens shading correction
- Defect pixel correction
- Picture flip (horizontal and vertical)
- Context switch
- Built-in VCM driver
- Built-in temperature sensor
- Standby mode, Power down mode
- OTP (4k-bits one-time memory)
- Built-in regulator (1.2V)

Представяне описанието на цифрови структури

Нива на описание и абстракция. Y-диаграма на Гайски-Кун (Gajski-Kuhn)

Поведенческо

- системно;
- алгоритмично;
- регистрово (RTL);
- логическо (ЛФ);
- на ниво ПФ.



Структурно

- μP, памети;
- блокове, шини;
- АЛУ, регистри;
- ЛЕ, тригери;
- транзистори.

- полигони;
- топологини клетки (модули);
- топологичен модули (макроси);
- клъстери;
- чип (ИС), области.

Геометрично (физическо)

Нива на представяне (абстракция):

- ***системно (архитектурно)***
- ***функционално***
- ***логическо***
- ***физическо.***

Устройства с програмируема логика (Programmable Logic Devices, PLDs): FPGA, CPLD

Архитектура на чипове FPGA

- Видове интегрални схеми (структури):
  - **Custom ИС**: клиентски специфични структури с произволен състав и уникално предназначение;
  - **ASICs** (**A**pplication **S**pecific **ICs**, потребителско-ориентирани ИС): структури с блоково-фиксирана структура, доопределяна от потребителя съобразно специфичните нужди (проект).

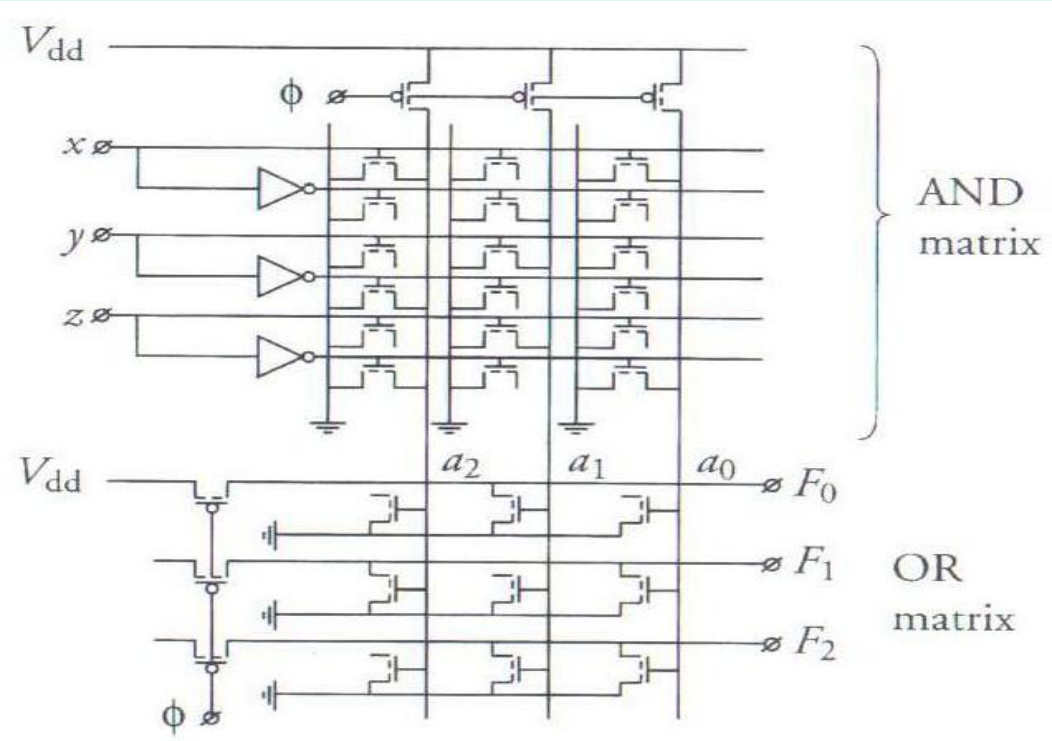
❖ Видове ASICs:

- на базата на т.нар. **"базови матрични кристали"** – Gate Arrays. Предварително създадени структури от ЛЕ и др. елементи. Персонализацията на функциите се извършва *чрез допълнителни технологични процеси* (маски, технологични процеси) за създаване на необходимите връзки;
- на базата на **"стандартни клетки" – Standard Cells**. Съвкупност от блокове с фиксирана съвкупност от елементи и линии за връзка между тях. Крайната структура се реализира *чрез програмиране на връзките* между отделните блокове.

“Прости” програмируеми логически схеми – PLA, PAL (Simple Programmable Logic Devices, SPLD)

- **Programmable Logic Array (PLA)** - матрици *AND* и *OR* – програмират се и двете матрици.

- като самостоятелен чип или част от микропроцесора;
- ползва се за реализация на логика за декодиране на макрокод-инструкциите, при функционални блокове като памети, мултиплексори, АЛУ.



$$F_0 = \overline{a_1}$$

$$F_1 = \overline{a_0 \vee a_2} = \overline{x\bar{z} \vee x\bar{y}\bar{z}}$$

$$F_2 = \overline{a_0 \vee a_1} = \overline{x\bar{z} \vee \bar{x}yz}$$

“Прости” програмируеми логически схеми – PLA, PAL (Simple Programmable Logic Devices, SPLD)

- **Programmable Array Logic (PAL)** - матрици *AND* и *OR* – програмира се <u>само И матрицата</u> (ИЛИ матрицата е фиксирана)

PAL / PLA матриците (SPLD) губят пазарното си присъствие си поради за сметка на “гъвкави” PLD архитектури с увеличена степен на интеграция

PROM – вид SPLD, при който адресните шини играят ролята на логически входове, а изходи са шините за данни.

○ Програмиране на PLDs:

- с премахване на връзки (fuses);
- със създаване на връзки (anti-fuses);
- чрез схеми памет (memory-based circuits).

Сложни програмируеми логически устройства (Complex Programmable Logic Devices) - CPLD

Концепция на CPLD:

- Няколко PLD блокове - макроклетки (macrocells) в рамките на един чип с интерконекции (връзки) от универсален тип между тях.

  - Простите логически връзки да се осъществяват вътре във всеки блок;
  - По-сложните (изискващи връзка между отделни блокове) логически функции да ползват универсалните канали за връзка.

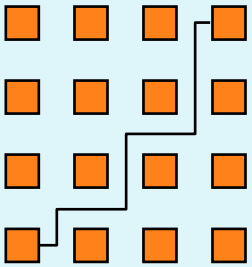
✓ CPLDs са от PAL-тип (използват логика на базата сума от произведения) в макроклетките.

Устройства с програмируема логика
Programmable Logic Devices, PLDs (High Density, HD Logic): FPGA, CPLD

Field Programmable Gate Arrays (FPGAs)

- Структурни особености:
  - малки изграждащи ЛБ (“фина”, “**fine grained**” стр.);
  - “регистрово” ориентирана архитектура;
  - разпределени междусъединения.

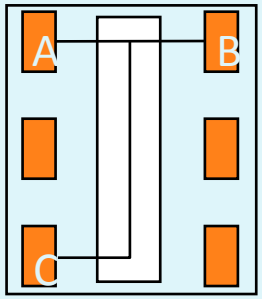
- Качества / особености:
  - **относително бавни** “pin to pin performance” поради неоптимални връзки;
  - подходящи за структури тип “**pipelining**” (каскадно свързани структури);
  - **добри качества при реализация на сложни ЛФ**, пренос на данни: т.нар. “narrow gating” функции.



High-Density или Complex PLDs (CPLDs)

- Структурни особености:
  - големи изграждащи ЛБ (“груба”, “**coarse grained**” структура);
  - класическа PLD-тип архитектура;
  - централизирани (в една област) междусъединения.

- Качества / особености:
  - предсказуеми и **относително постоянни параметри** (бързодействие, заем.площ);
  - **подходящи (оптимални) за реализация на КА, броячи**: т.нар. “wide gating” функции.



Устройства с програмируема логика (Programmable Logic Devices, PLDs): FPGA, CPLD

Архитектура на чипове FPGA

Особености на FPGA структурите:

- **матрична организация**: двумерна структура от блокове ЛЕ, шини (линии) за връзка между блоковете, допълнителни блокове, вх/изх. блокове;
- функционално специфициране чрез **допълнително програмиране на електрически връзки** (конфигуриране) - чрез файл за конфигуриране (в отделна RAM) – многократно!

Field **P**rogrammable **G**ate **A**rrays – FPGAs

Програмирането – чрез развойни системи, даващи възможност за:

- проектиране, вкл. описание с езици за HDL;
- симулация на проекта;
- оценка на бързодействие/заемана площ/физ.ресурси;
- използва определена технология за програмиране на връзките и оптимизация на ресурсите (напр. XST на фирмата Xilinx).

Устройства с програмируема логика (Programmable Logic Devices, PLDs): FPGAs

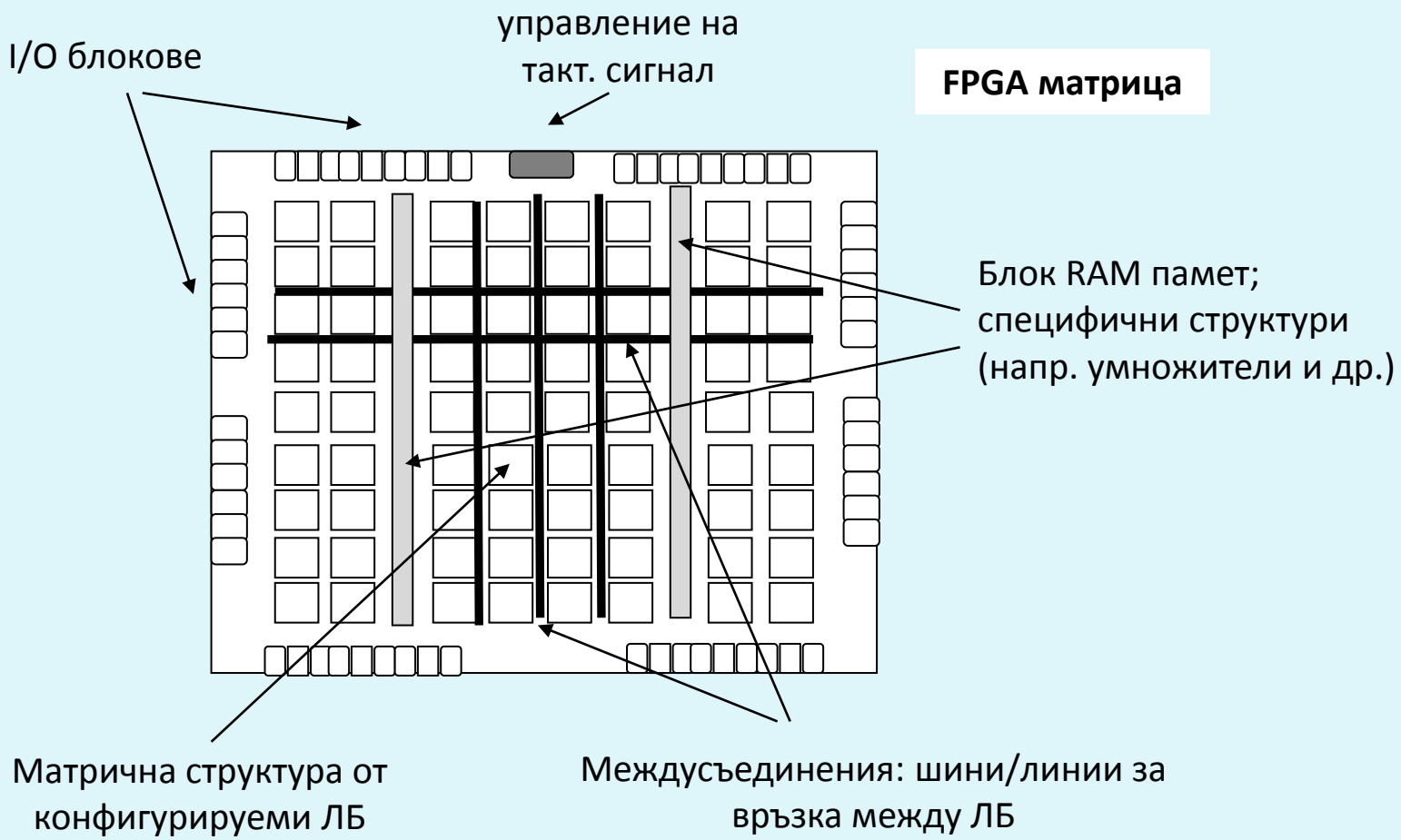
❖ Типове FPGA

- **Репрограмируеми** (базирани на включена SRAM) – **<u>SRAM-based</u>**:
  - SRAM определя (специфицира) междусъединенията;
  - SRAM дефинира логиката в отделните LUT (Look-Up Tables). Чрез LUT се дефинират стойността на изхода като комбинация от стойностите на входните сигнали.

- **Еднократно програмируеми** (One-Time Programmable) – **<u>OTP</u>:**
  - традиционна гейтова логика;
  - "анти-fuse" реализация на връзките (изграждат се връзки, не се прекъсват) - не изисква PROM за прехвърляне на програмата към FPGA структурата. ! Само еднократно използване на чипа;
  - с по-високо бързодействие (без SRAM за програмиране), по-висока степен на интеграция, ниска цена, липса на влияние от α-частици.

Устройства с програмируема логика (Programmable Logic Devices, PLDs): FPGA

Архитектура на чипове FPGA



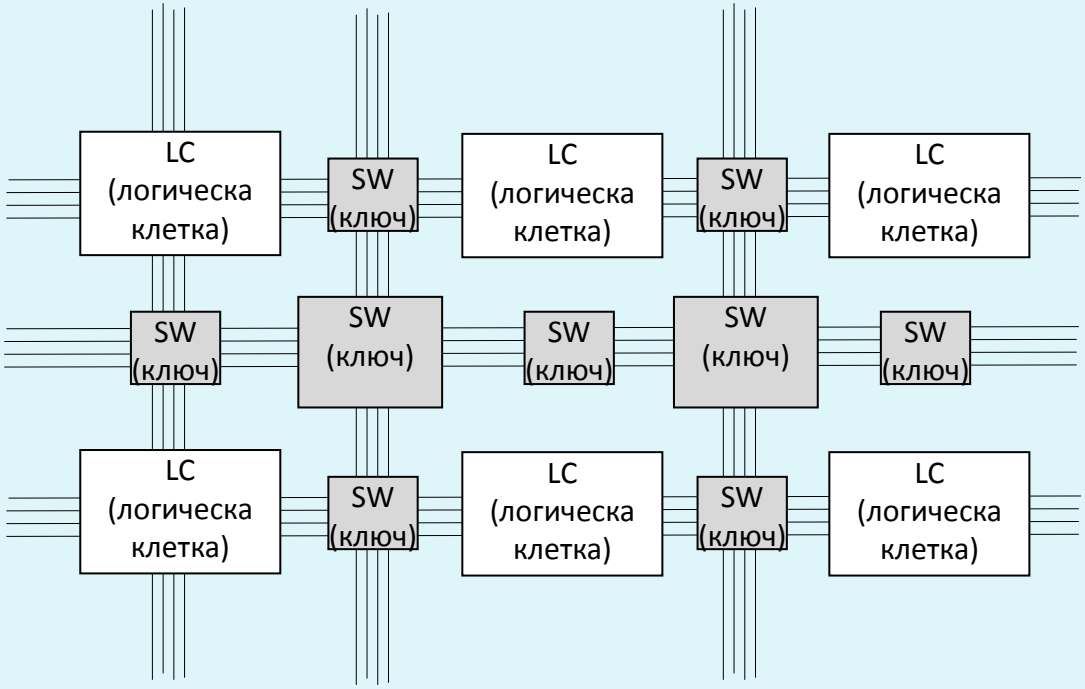
Устройства с програмируема логика

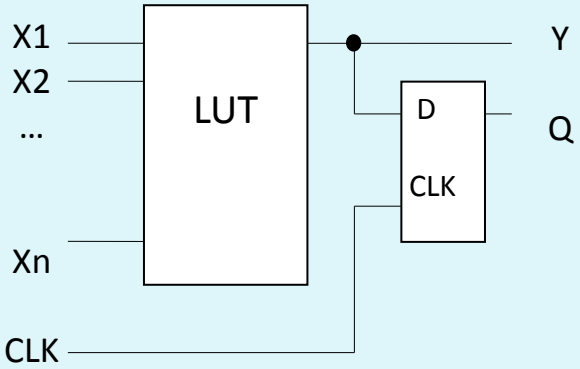
Архитектура на чипове FPGA. Особености при Xilinx Spartan 3E фамилия

- Базирани на **двумерна (матрична) структура** от логически клетки (logic cells, **LC**) и програмируеми ключове (**SW**);
- Всяка клетка може да бъде програмирана за изпълнение на определена функция;
- Всеки ключ може да се програмира за осъществяване връзка между клетките;

➢ Процес на дефиниране на специфичните връзки за получаване на "custom" схемата – чрез зареждане на файл (конфигурационен) → *field programmable* (вместо fabric).

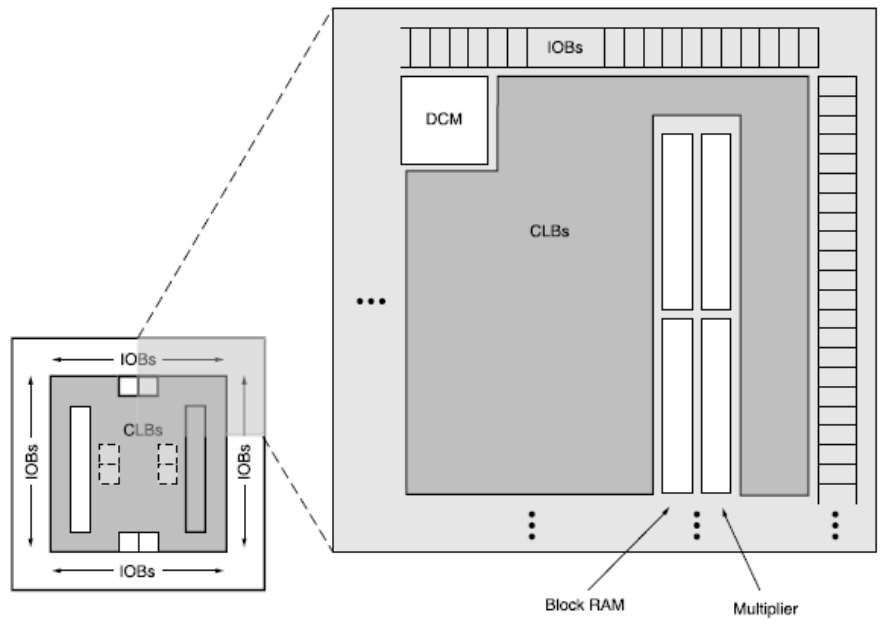
❑ **Логически клетки** – състав: **(1) LUT** (Look-Up Table, 2^n→1 памет): комбинационна структура /LUT/ и D-тригер /D FF/, за реализация произволна *n*-входова ЛФ; **(2) Macro cell** (макро-клетки/блокове): структури, разработени на транзисторно ниво и вложени директно в FPGA матрицата като отделни блокове: IOBs, DCM, MUX, процесорни ядра (cores).





Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



IOBs – входно-изходни блокове (разположени по периферията на кристала, свързани с изводите на чипа);

CLBs – конфигурируеми логически блокове;

BlockRAM – блокове двупортови RAM;

Multiplier(s) – умножители;

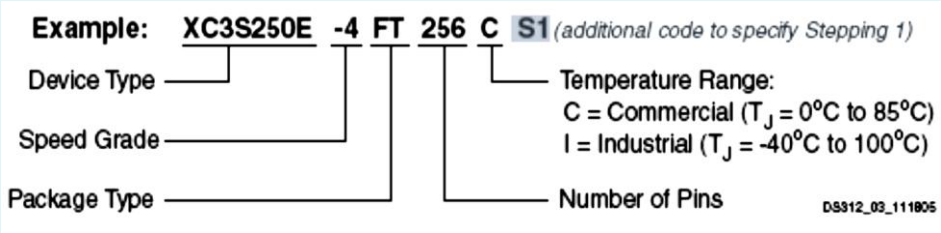
DCM – блокове за управление на тактовия сигнал.

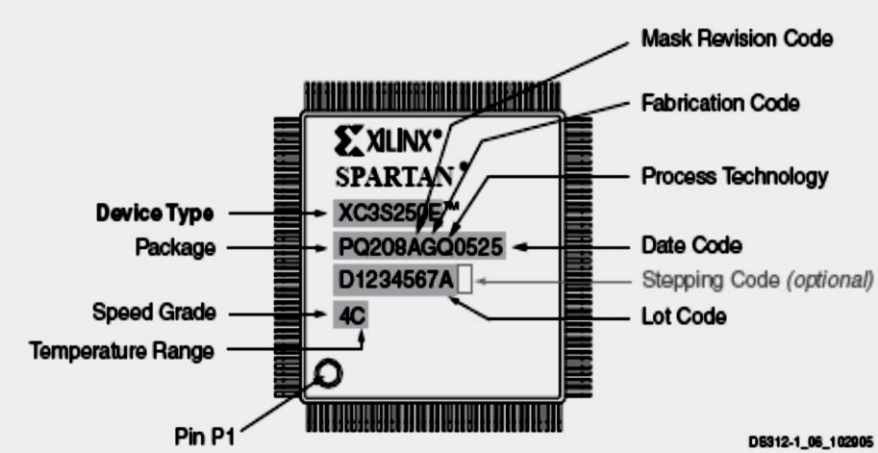
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits(1)	Block RAM bits(1)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx





- корпуси: QFT (Quad-Flat Type package) или само FT;
- примери → CP132: чип 8x8 mm , TQ144: чип 22x22 mm;
- stepping S0,S1: подобрения в техн. S1 (>2006), всички след 2009 г.
- speed grade: за C (-4,-5), за I (само -4)

Вътрешната структура, оптимизирана по отношение на:

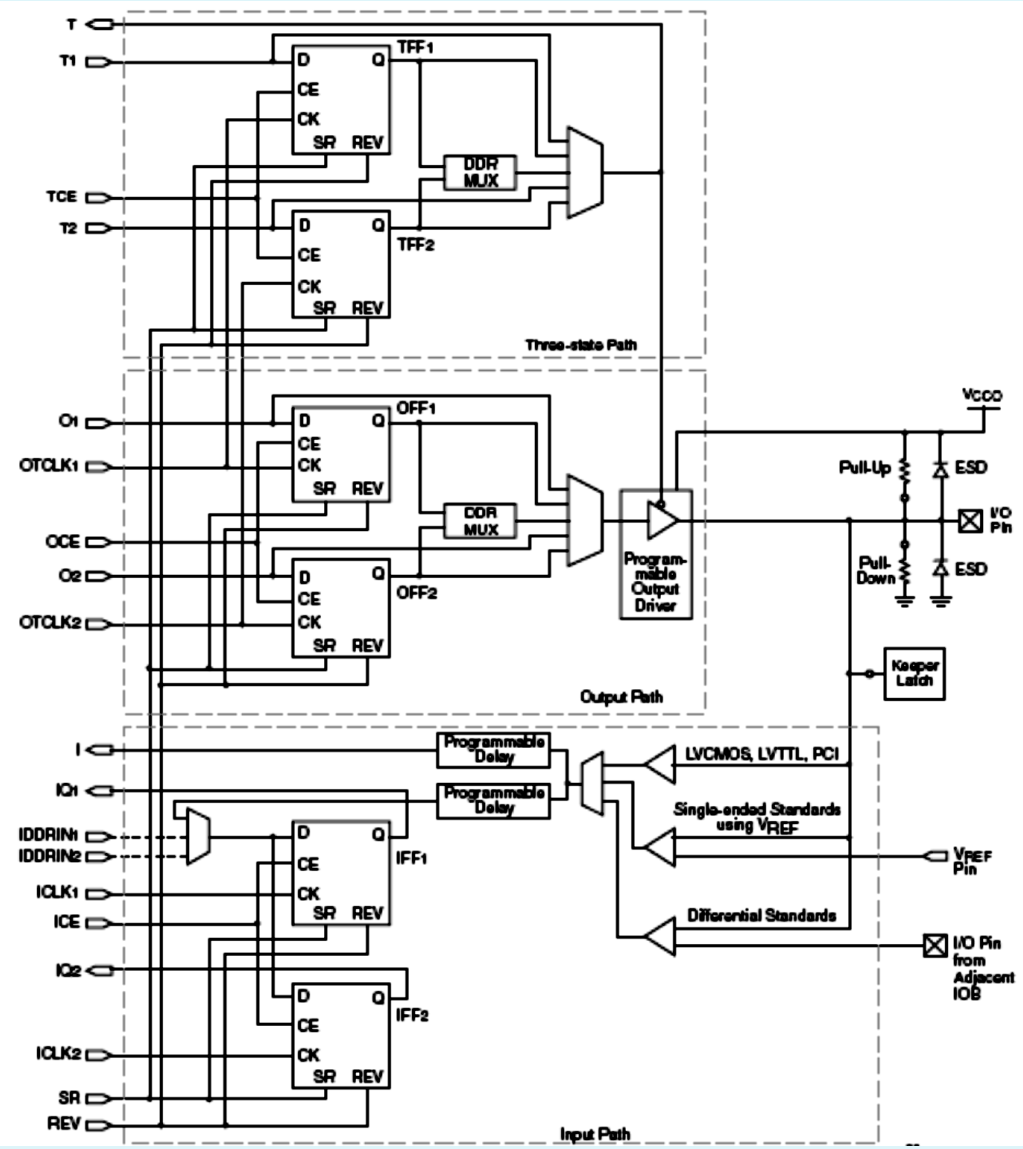
- приложения с висока плътност на ЛС;
- интегриране на голям брой логически блокове, ЦОС структури, управляващи устройства и др. изискващи значителни обработващи ресурси и относително малко интерфейсни схеми и I/O връзки.

Предимства и възможности:

- чипове с голям обем 100K до 1.6M гейта, технология L=90nm (понастоящем до 28nm – Virtex6);
- ниска цена на приложенията при много висока плътност на разполагане;
- лесен upgrade на съществуващи проекти, трансфер на проекти към други платформи и чипове (design migration), ниски начални разходи за разработка на проектите;
- поддържа до 376 единични/156 диференциални I/O порта при скорост на трансфер на данните до 622Mb/s;
- дизайн с различни захр. напрежения 3.3V /2.5V /1.8V /1.5V /1.2V, стандарти LVCMOS, LVTTL, HSTL, SSTL;
- поддържа DDR (Double Data Rate) трансфер и DDR SRAM със скорост на обмен до 333 Mb/s.

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



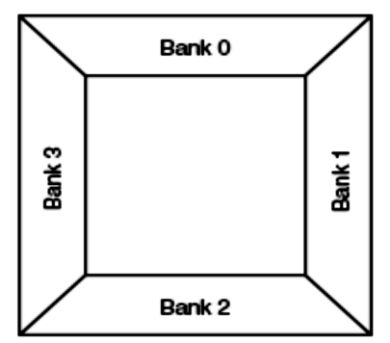
Структура и схемотехника

I/O блокове: предназначение, състав

- осъществява връзка между I/O изводи (pins) на чипа и логическите блокове;
- поддържа двупосочно предаване на данни и T.S. (ВИС) състояние;
- поддържа голямо разнообразие от стандарти, вкл. диференциални;
- включва DDR (double data-rate) регистри в структурата си.

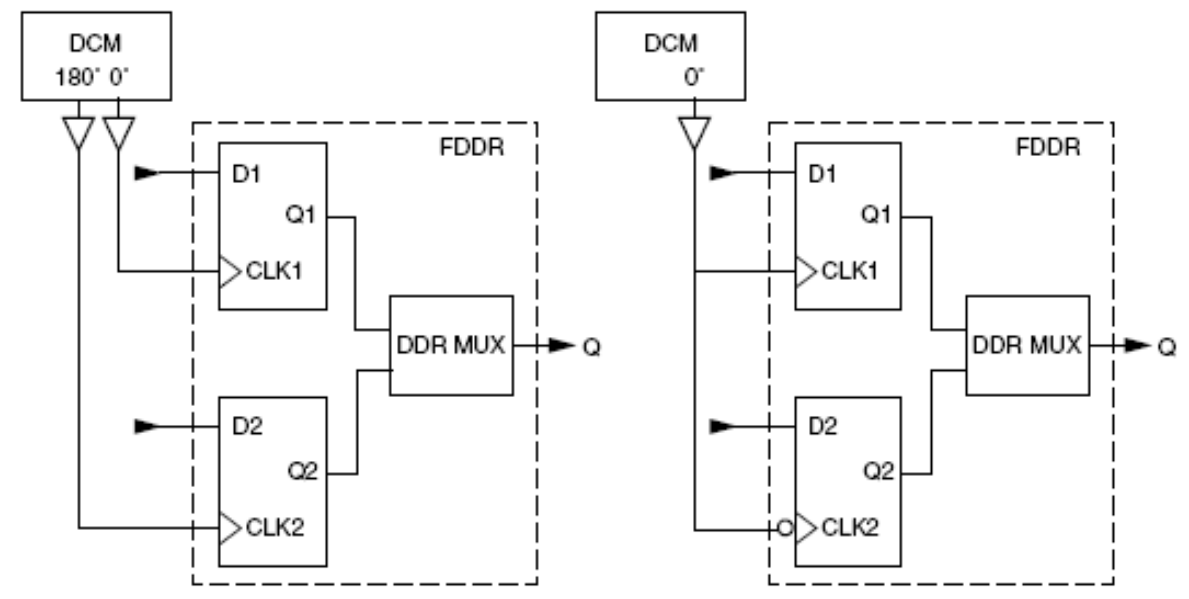
○ Режими: изходен; входен; за T.S. Всеки със свои ЕП (като тригер или регистър). Програмируемо закъснение.

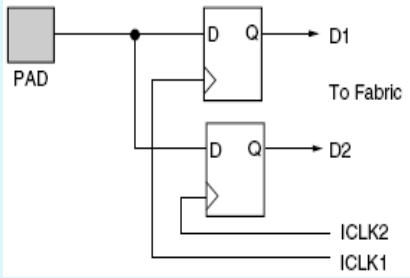
✓ Организация в 4 броя банки: Bank0…Bank3

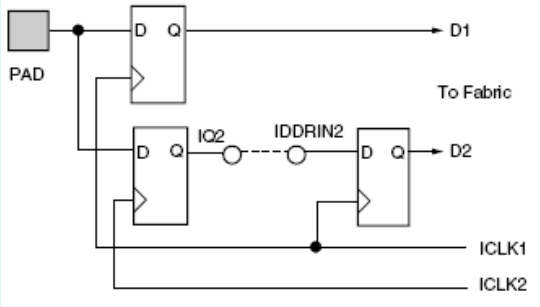


Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx





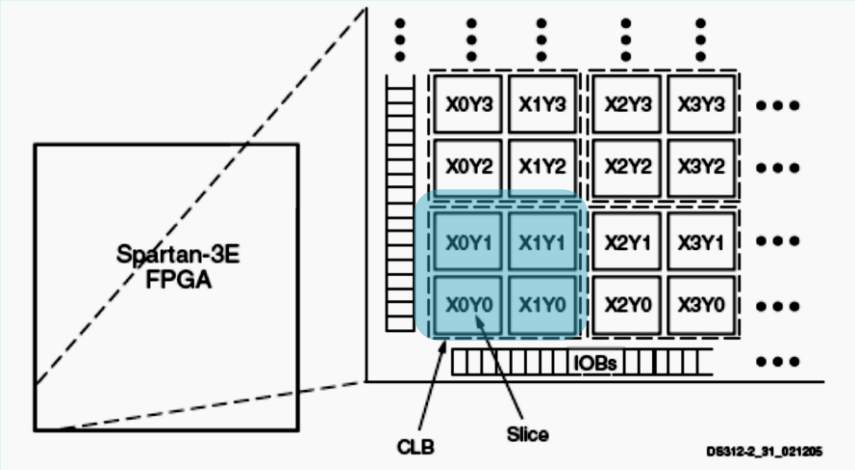


DDR (double data rate) функция – реализация

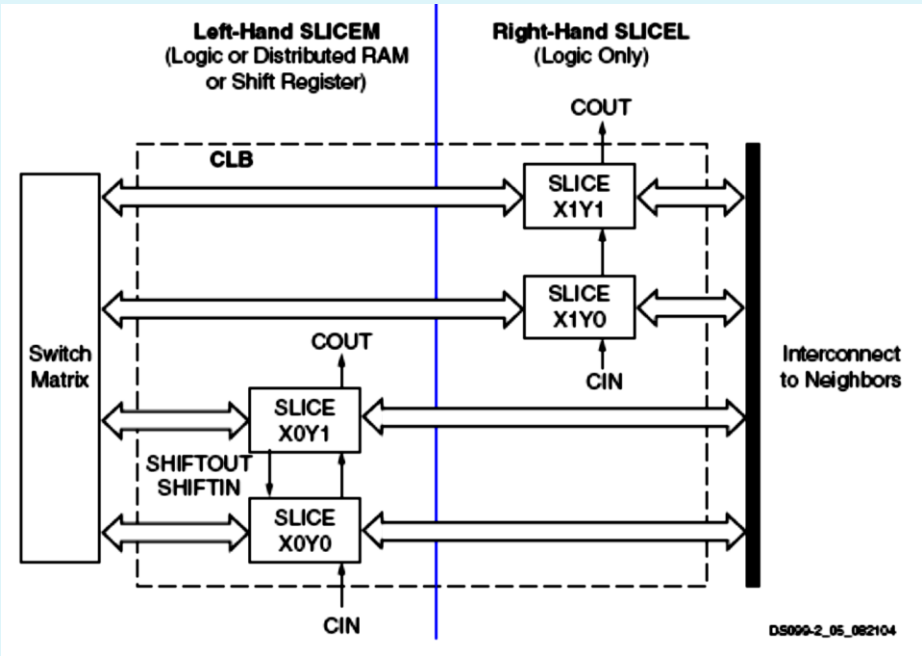
- техника, при която обработката (трансфера) на данни се синхронизира едновременно по преден и по заден фронт на такт.сигнал (IOB – двойки регистри за всеки от трите пътя: I/O/TS);
- използва два тригера и MUX за предаване на данни и по двата фронта едновременно;
- DDR използва 2 тактови сигнала, дефазирани на 180°, които се осигуряват от DCM (Digital Clock Manager) блока;
- възможности: единично или каскадно приложение (със сигнали от съседни изводи).

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



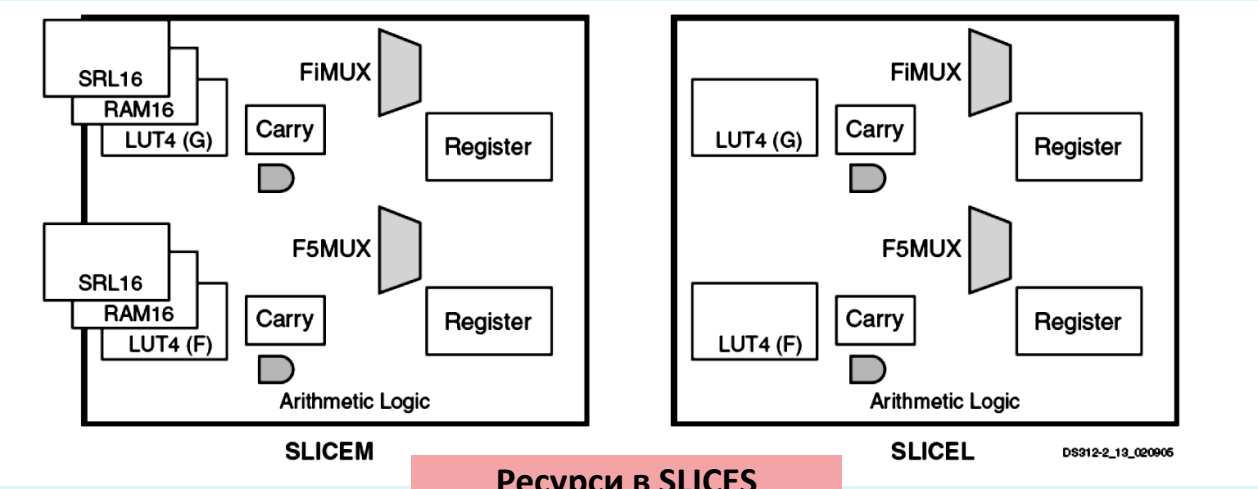
CLBs - конфигурируеми логически блокове



Device	CLB Rows	CLB Columns	CLB Total(1)	Slices	LUTs / Flip-Flops	Equivalent Logic Cells	RAM16 / SRL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



Ресурси в SLICES

Конфигурируеми логически блокове (CLBs):

Основни градивни структури в FPGA !

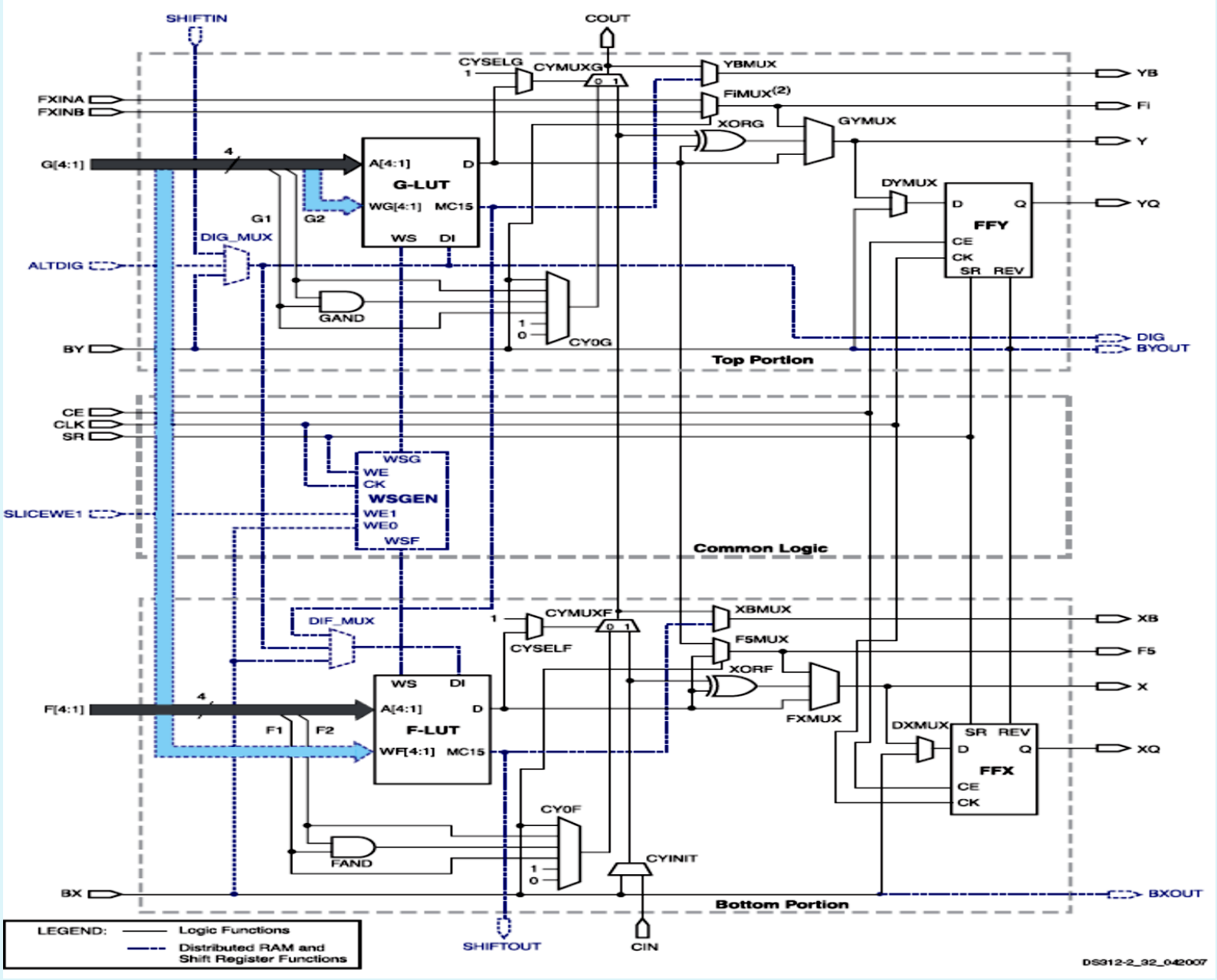
Предназначение: за реализация на комбинационни блокове и синхронни устройства.

Възможности, структура:

- матрична организация по редове и колони;
- всеки CLB включва 4 Slices (2 двойки): “левите” (SLICEM) реализират функция памет и логически операции, а “десните” (SLICEL) - само логически операции;
- всеки Slice съдържа по 2 Look-Up таблици (LUTs) за реализация на логически структури, 2 ел.памет (левите) и др. LUTs могат да се използват като: 16x1 RAM, 16-bit регистър;
- наличието на MUX и логика за пренос на данни позволява реализация на аритметични и логически операции с по-голяма разрядност.

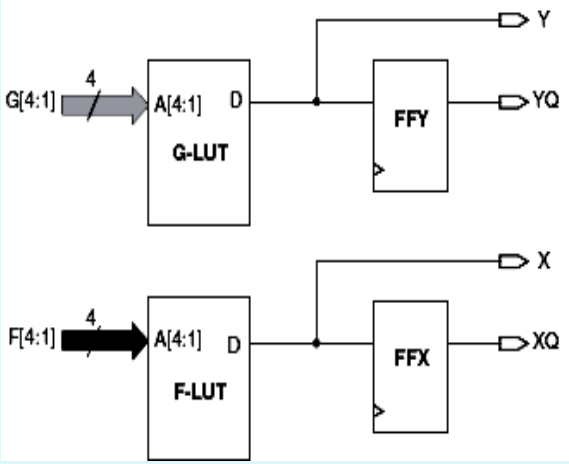
Устройства с програмируема логика

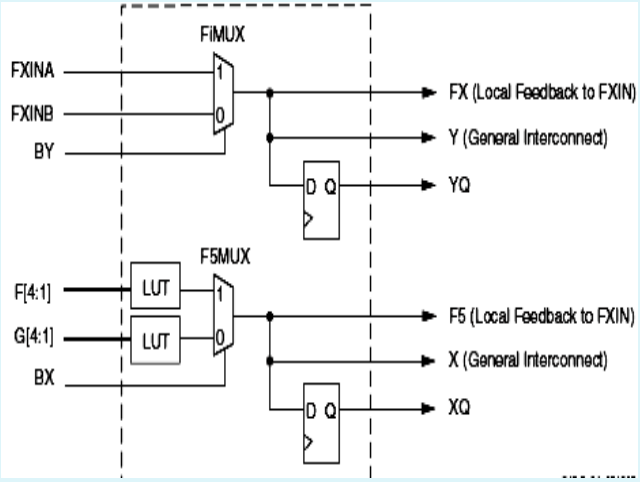
Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx - SLICEs

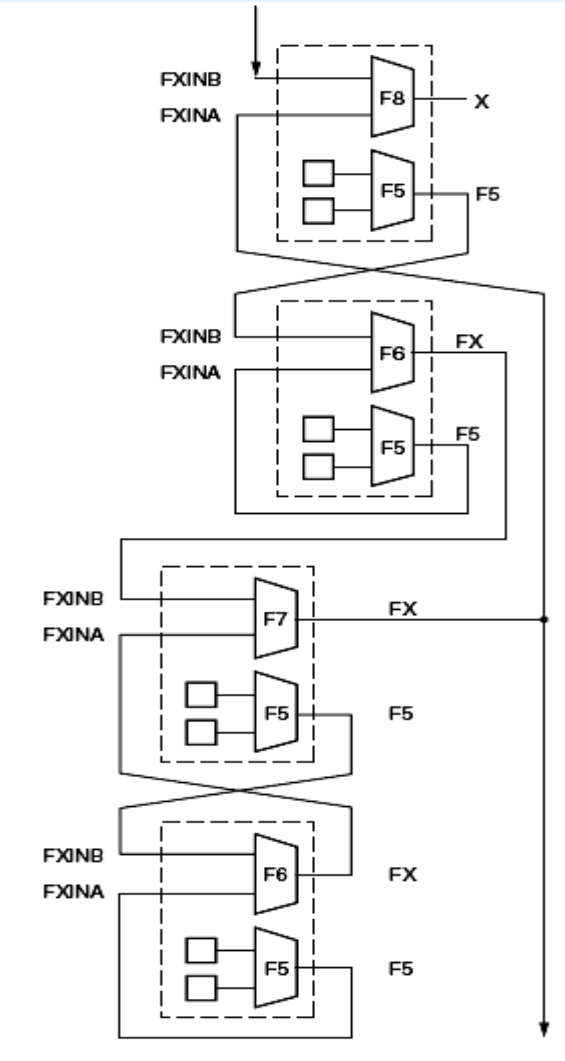


Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx





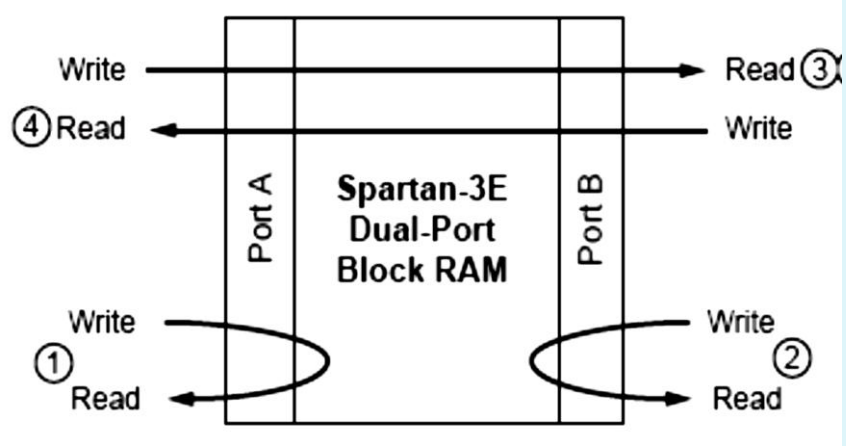


LUTs – структура, функции

- RAM-базирани структури за реализация на ЛФ;
- всяка LUT (G-LUT, F-LUT) в SLICEM може да се конфигурира като разпределена RAM / 16-bit регистър;
- LUTs имат 4 логически входа (A1-A4) и 1 изход (D): позволява реализация на произволна ЛФ на 4 променливи;
- изходът на LUT – към MUX за разширение, към структури за пренос (carry) и аритметична обработка или към елемент памет;
- позволява обработка с разширена разрядност – pipelining (дясно).

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



Device	Total Number of RAM Blocks	Total Addressable Locations (bits)	Number of Columns
XC3S100E	4	73,728	1
XC3S250E	12	221,184	2
XC3S500E	20	368,640	2
XC3S1200E	28	516,096	2
XC3S1600E	36	663,552	2

Блокове RAM

Режими на работа

- четене/запис през порт А;
- четене/запис през порт В;
- предаване (трансфер) на данни от портА→порт В;
- предаване (трансфер) на данни от портВ →портА.

Възможности, структура:

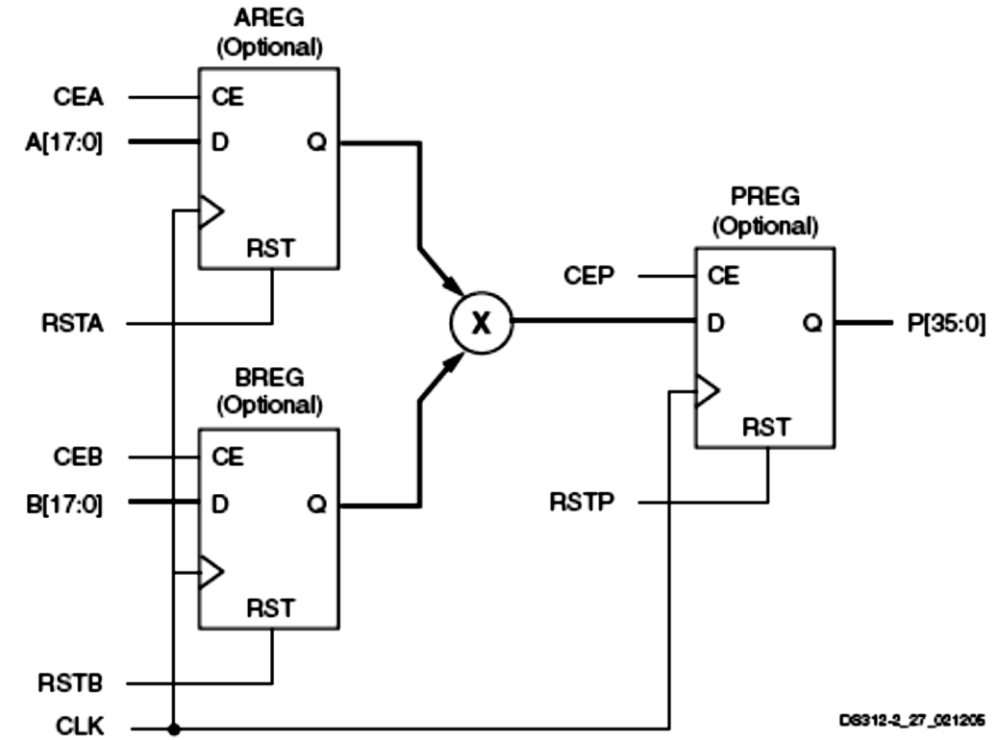
✓ от 4 до 36 блока памет;

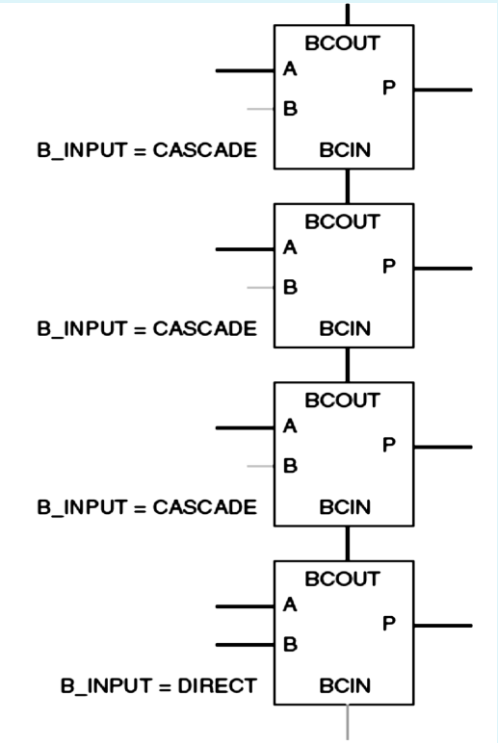
✓ организация на всеки блок: 18К бита конфигурируеми двупортови структури;

✓ предназначение – за синхронно съхранение на големи обеми данни (без буферно съхранение).

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



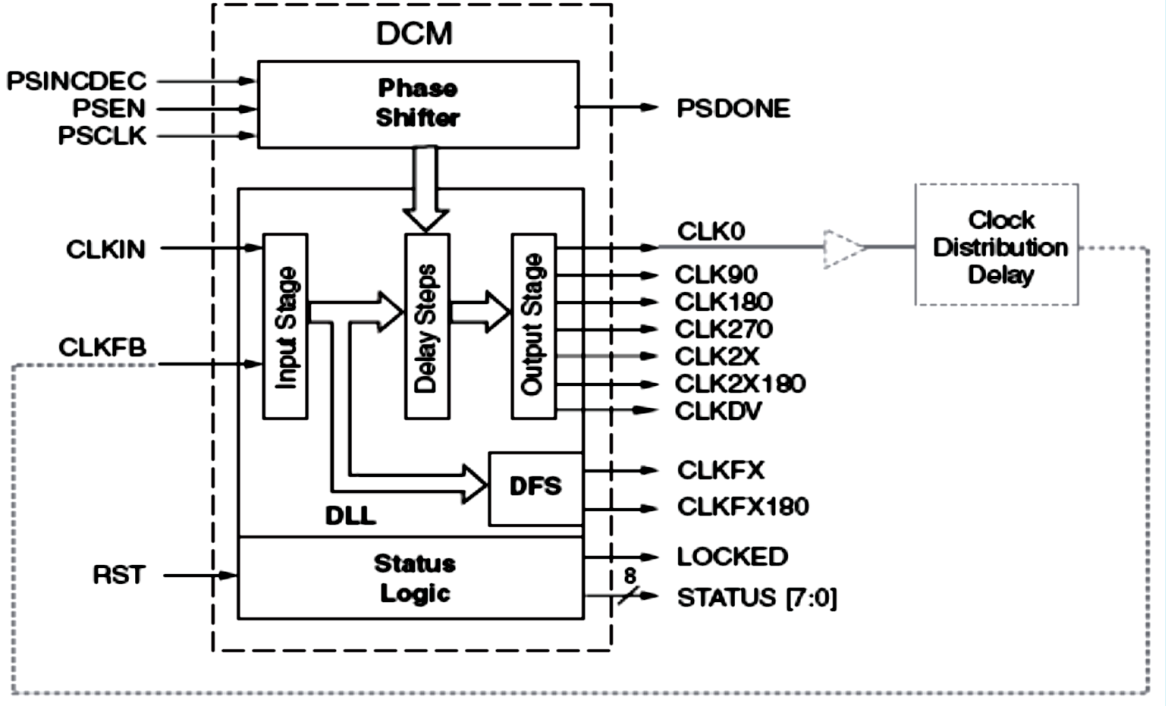


Умножители (multipliers): предназначение и структура:

- за извършване на двоично умножение **P = A x B** на данни с макс.дължина 18 бита;
- могат да служат за временно съхранение на данни и като преместващи структури;
- работата на блоковете мултиплексори се подпомага и от аналогичните структури, налични в Slices;
- разполага с допълнителни регистри AREG, BREG, PREG (вътрешни).

Устройства с програмируема логика

Архитектура и особености на FPGA чипове от серията Spartan3E на Xilinx



Блокове за управление на честотата (DCMs)

- 2, 4 или 8 блока, обикновено разположени най-горе и най-долу върху чипа. Около DCMs има разположени блокове CLBs;
- осъществяват гъвкав контрол на тактовата честота, фазовото отместване и различното постъпване на тактовия сигнал в отделните структури (signal skew);
- използва DLL (Delay-Locked Loop) вградени блокове с които се поддържа висока прецизност на тактовия сигнал при промяна на захр. напрежение и температурата;
- -възможна редукция на честотата до 5MHz;