ЦИФРОВА СХЕМОТЕХНИКА

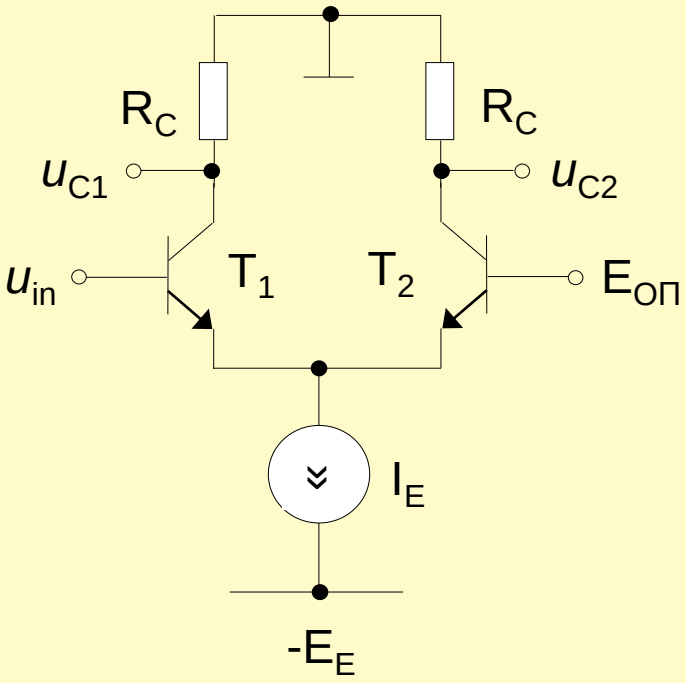
ЛЕКЦИЯ #6

ECL (emitter coupled logic) **схеми. Базова схема Математически модел**

Обща структура:

- основна схема - диференциална двойка /токов ключ/;
- изходно драйверно стъпало (ЕП);
- източник на опорно напрежение.

❖ Захранване – варианти.



<u>Балансирана схема</u>:

- $u_{BE1}=u_{BE2}$
- еднакви параметри на транзисторите

→ I_E се разпределя по равно в двата клона на схемата: $i_{C1}=i_{C2}=I_E/2$;

$u_{C1}=u_{C2}=-R_C I_E/2$.

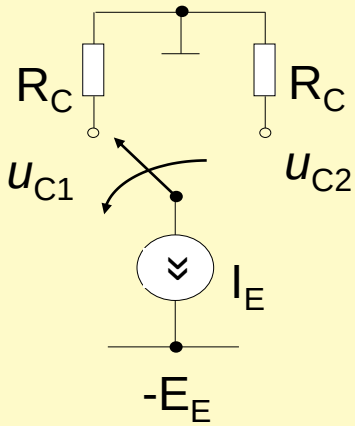
ECL (emitter coupled logic) **схеми. Базова схема Математически модел**

$u_{in}>E_{ОП}$

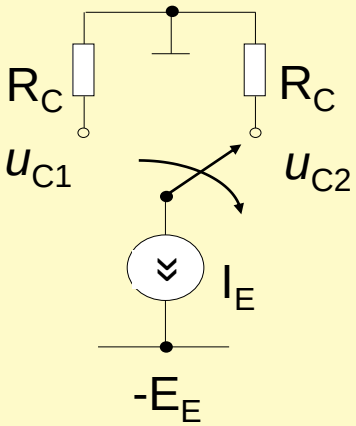
$$u_{C1} = -i_{C1}R_C = -\alpha\, i_{E1}R_C$$

$$u_{C1} = U^0 = -\alpha I_E R_C \approx -I_E R_C$$

$$u_{C2} = U^1 \approx 0$$



$U_{in}<E_{ОП}$



$$u_{C1} = U^1 \approx 0$$

$$i_{C1} = I_S . e^{u_{BE1}/\varphi_T}$$

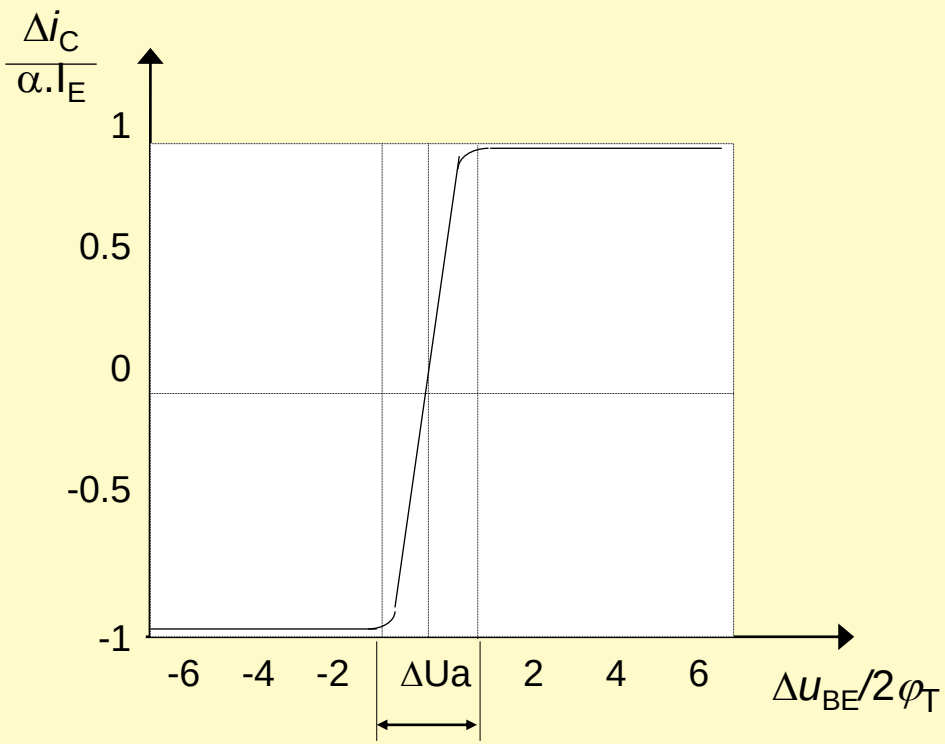
$$i_{C1}/i_{C2} = e^{(u_{BE1}-u_{BE2})/\varphi_T} = e^{\Delta u_{BE}/\varphi_T}$$

При $|u_{BE1}-u_{BE2}|$=200mv, т.е.
→ $i_{C1}/i_{C2} \approx 2.2.10^3$ (current switch)

$I_{S1}=I_{S2}=I_S$, φ_T=0.026V

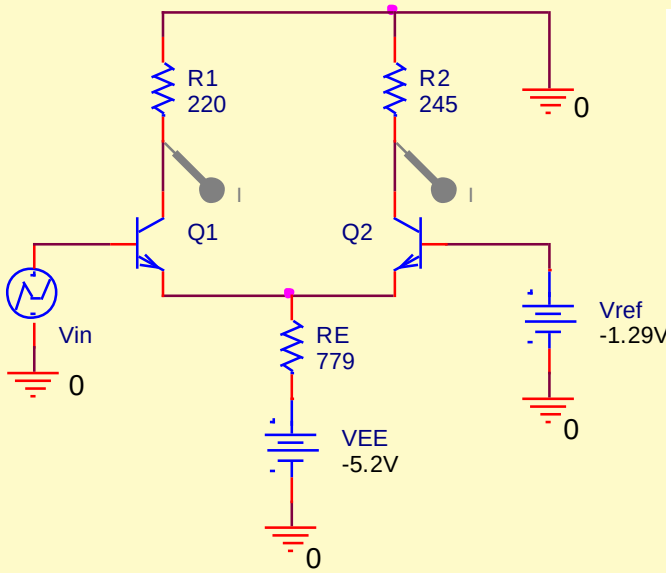
ECL (emitter coupled logic) **схеми. Базова схема**
Математически модел

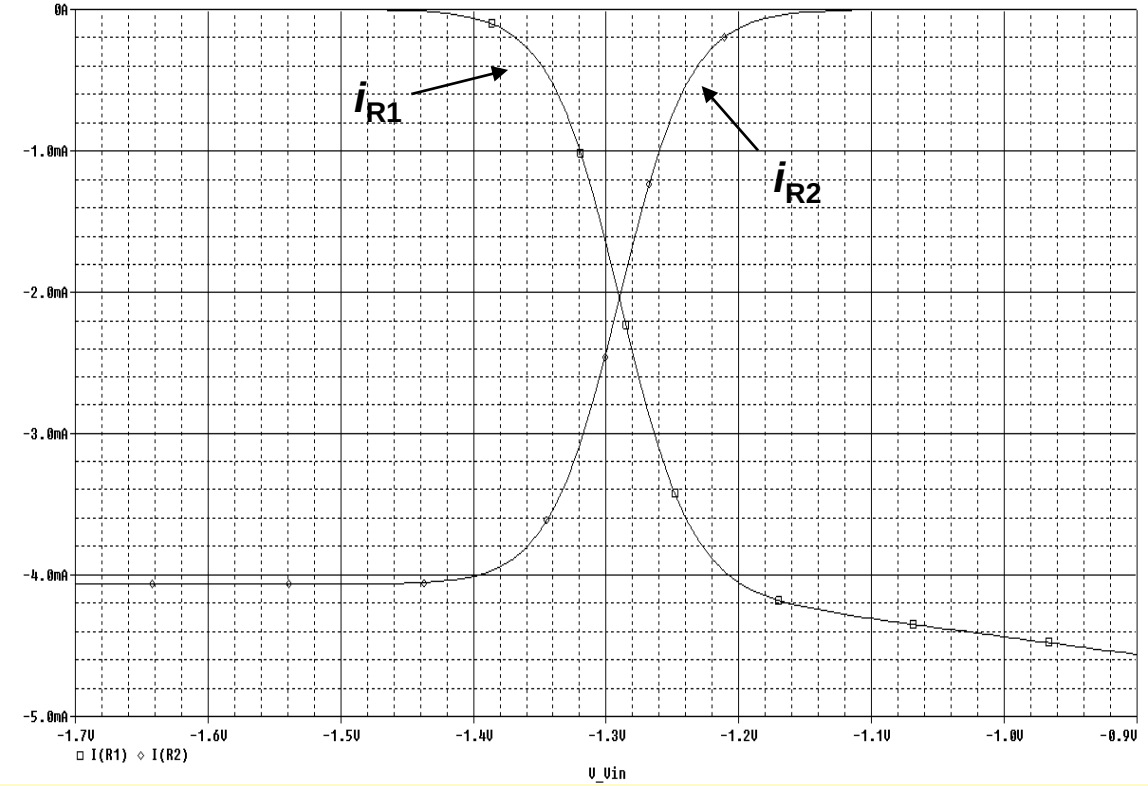
$$\frac{i_{C1}-i_{C2}}{i_{C1}+i_{C2}}=\frac{\Delta i_C}{\alpha.I_E}=\frac{e^{u_{BE1}/\varphi_T}-e^{u_{BE2}/\varphi_T}}{e^{u_{BE1}/\varphi_T}+e^{u_{BE2}/\varphi_T}}=\tanh e^{\Delta u_{BE}/2\varphi_T}$$



ECL (emitter coupled logic) **схеми. Базова схема.**

Изменение на колекторните токове (резултати от PSPICE симулация)
Логически нива – “стандартна” MECL 1000/10000 серия (Motorola)





V_{EE}=-5.2V

$E_{ОП}$ (V_{ref})=-1.29V

U^0 = -1.7V (с вкл.ЕП)

U^1 = -0.9V

ΔU=0.8V

Варианти: PECL – “positive” ECL
(с положит. захр.напрежение)

SEFL – изградени с FET транзистори

ECL (emitter coupled logic) **схеми. Базова схема**

Логическа амплитуда. Шумоустойчивост. Консумация

$$\Delta U = \left| U^1 - U^0 \right| = I_E R_C$$

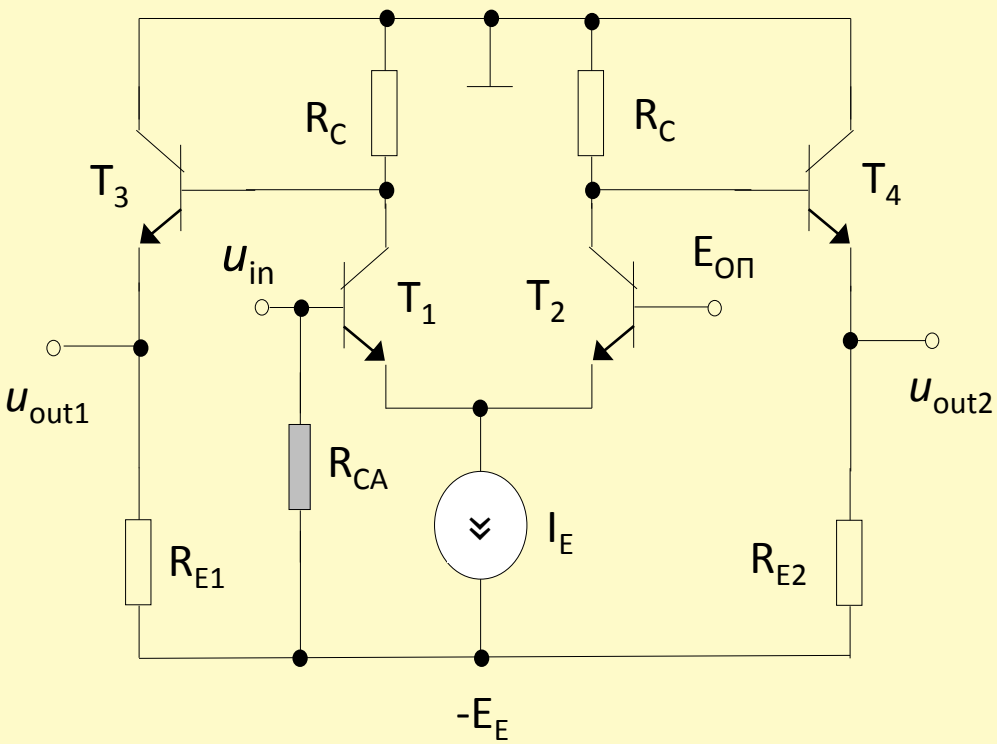
- отлична шумозащитеност → постъпващите шумове действат в една и съща посока (синфазно) и взаимно се компенсират в двата входа/бази;
- евентуален шум, генериран от захранващия източник → не влияе върху стойността на изходните логически нива.

➢ Консумираният от захр. източник ток е постоянен → $P_{K.CT}=I_E.E_E=const$ - <u>висока статична консумация – основен недостатък</u>!

➢ Ограничава практическото използване на ECL схемите в СГИС приложения (приложение - само в критични по отношение на бързодействието участъци).

ECL (emitter coupled logic) **схеми**

Схемна структура с ЕП



Общо изискване към крайната схема:

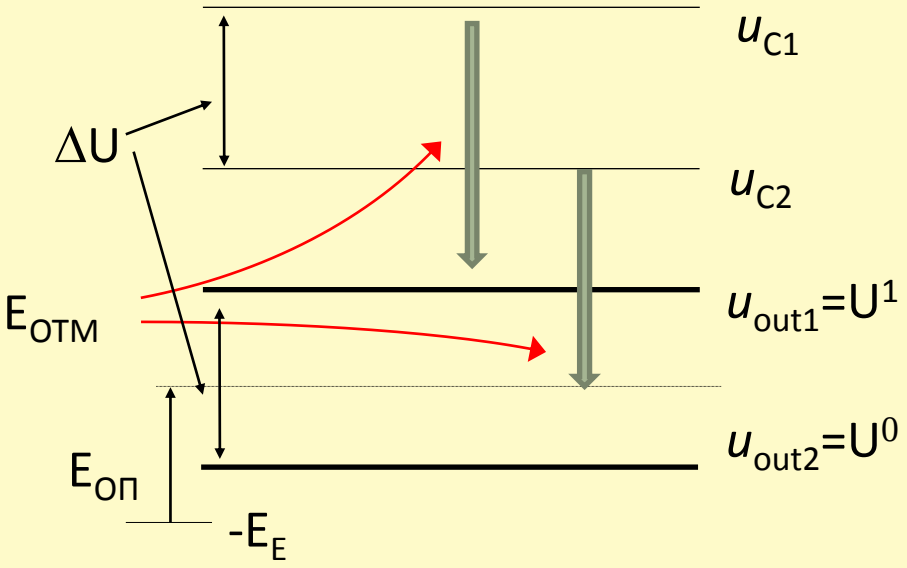
- *да има висок коефициент на усилване по ток*;
- *ниско изходно съпротивление* !

Добавяне на драйверно стъпало → ЕП, $R_{out} = R_C/(\beta+1)$.

T_3,-R_{E1}, T_4:-R_{E2} - схеми за ППТН, *level shifters* – съгласуване между входните и изходни нива, избягва се насищане в следващото стъпало.

ECL (emitter coupled logic) **схеми.**

Преместване на изходните нива. Определяне на $E_{ОТМ}$ спрямо $E_{ОП}$



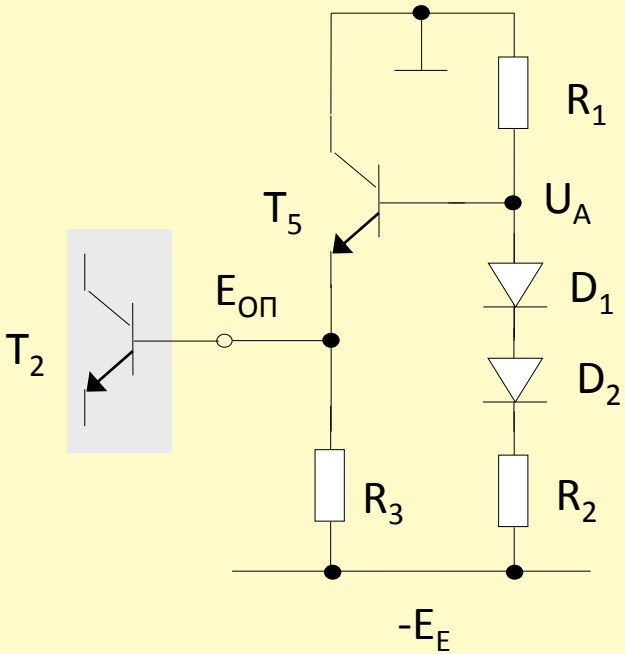
$$-E_{ОТМ} - \Delta U/2 = E_{ОП}$$

$$u_{out\ 1,2} = u_{C\ 1,2} - E_0$$

(с ЕП в изхода)

ECL (emitter coupled logic) **схеми**

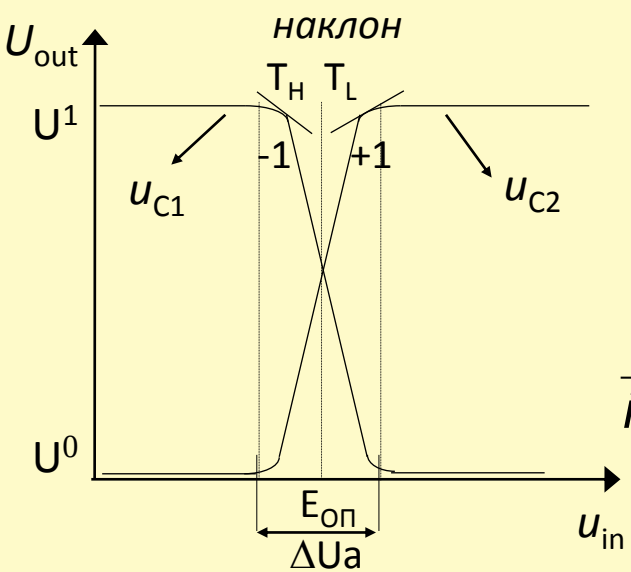
Опорен източник (серия MECL 1000/10000). Температурна стабилност



$$E_{ОП} = U_A - U_{BE(T5)} =$$

$$= \frac{R_1}{R_1 + R_2}(-E_E + 2U_{BE}) - U_{BE(T5)}$$

ECL (emitter coupled logic) **схеми. ПХ. Шумоустойчивост**



$$\partial u_{out1,2} / \partial u_{in} = \mp 1$$

$$u_{out1} = u_{C1} - u_{BE3} = -(i_{C1} + i_{B3})R_C - u_{BE3}$$

$$\frac{\partial u_{out1}}{\partial u_{in}} = -R_C \frac{\partial i_{C1}}{\partial u_{in}}$$

$$\frac{i_{C1}}{i_{C1} + i_{C2}} = \frac{1}{1 + e^{\Delta u_{BE}/\varphi_T}} \Rightarrow i_{C1} = \frac{\alpha . I_E}{1 + e^{\Delta u_{BE}/\varphi_T}} = \frac{\alpha . I_E}{1 + e^{(E_{ОП} - u_{in})/\varphi_T}}$$

$$\frac{\partial u_{out1}}{\partial u_{in}} = -R_C \frac{-\alpha . I_E . e^{(E_{ОП} - u_{in})/\varphi_T}(-1/\varphi_T)}{\left(1 + e^{(E_{ОП} - u_{in})/\varphi_T}\right)^2} = \frac{-R_C i_{C1} . (1/\varphi_T)}{1 + e^{(E_{ОП} - u_{in})/\varphi_T}}$$

$u_{in} < E_{ОП} \rightarrow$ $e^{[(u_{in} - E_{ОП})/\varphi_T]} << 1$

$$\frac{\partial u_{out1}}{\partial u_{in}} \approx -R_C i_{C1} . (1/\varphi_T) = -1 \Rightarrow i_{C1} = \varphi_T / R_C$$

$$i_{C1} / i_{C2} = e^{\Delta u_{BE}/\varphi_T}$$

$$E_{ОП} - u_{inT_H} = \varphi_T \ln \frac{I_E - \varphi_T / R_C}{\varphi_T / R_C}$$

$$E_{ОП} - u_{inT_L} = -\varphi_T \ln \frac{I_E - \varphi_T / R_C}{\varphi_T / R_C}$$

$$\Delta U^0_Ш = \Delta U^1_Ш = u_{inT_H} - U^0 = U^1 - u_{inT_L} =$$

$$= \varphi_T \left[\frac{I_E R_C}{2\varphi_T} - \ln\left(\frac{I_E R_C}{2\varphi_T} - 1 \right) \right]$$

ECL (emitter coupled logic) **схеми**

Шумоустойчивост

Друг подход за намиране координатите на праговите точки – **чрез определяне на u_{in} , при което I_{C1}=0.99.I_E (I_{C2}=0.01.I_E):**

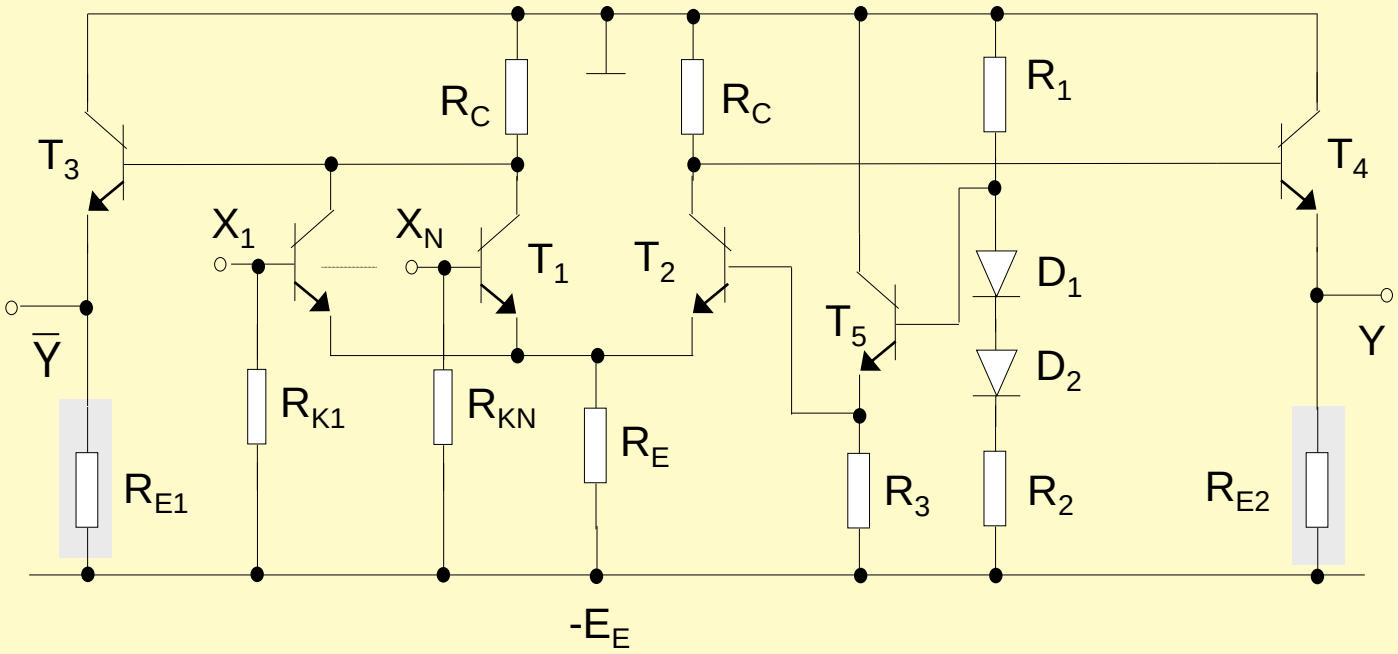
$$\frac{i_{C1,2}}{I_E} = \frac{i_{C1,2}}{i_{C1} + i_{C2}} = \delta = 0.01/0.99 = \frac{e^{\Delta u_{BE}/\varphi_T}}{1 + e^{\Delta u_{BE}/\varphi_T}}$$

$$E_{ОП} - u_{inTH,TL} = \pm\varphi_T \ln\frac{\delta}{1\text{-}\delta}$$

$\Delta U_Ш^0$, $\Delta U_Ш^1 \approx$ 120mV, т.е. $\Delta U_a \approx$240mV (активна област)

ECL (emitter coupled logic) **схеми.**

Реализация на логически схеми. Основен логически базис

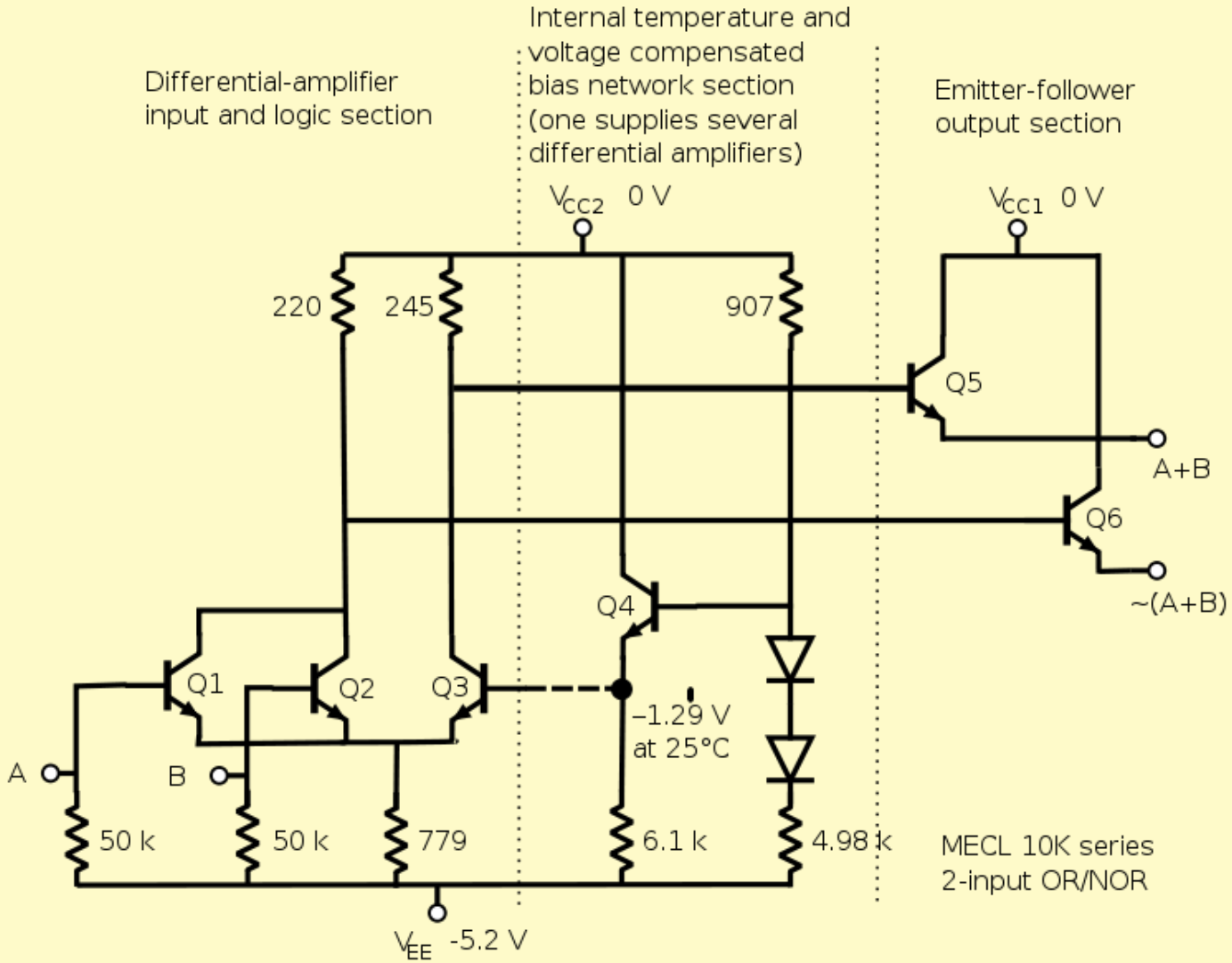


$$Y_1 = \overline{X_1 \vee X_2 \vee \ldots \vee X_N};$$

$$Y_2 = X_1 \vee X_2 \vee \ldots \vee X_N$$

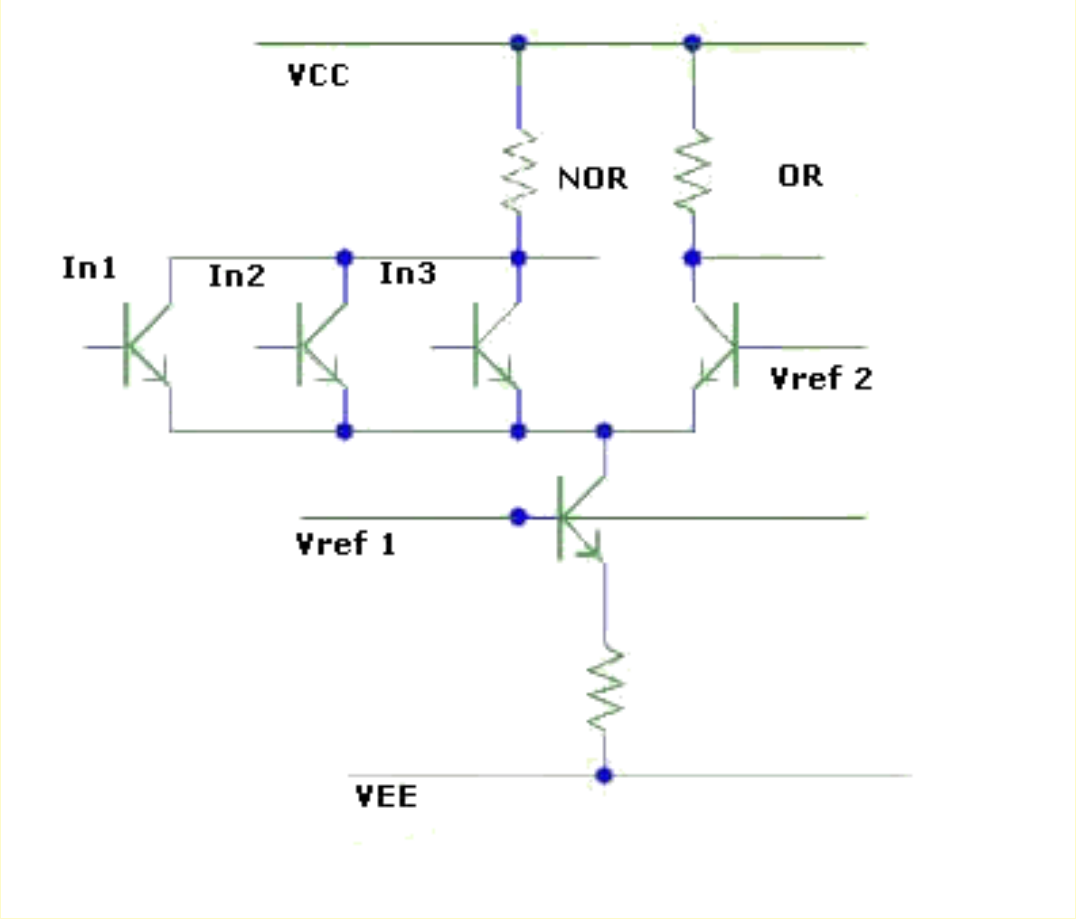
ECL (emitter coupled logic) **схеми.**

Реализация на логически схеми (ЛЕ в серия MECL 10K Motorola – пълна принципна схема)



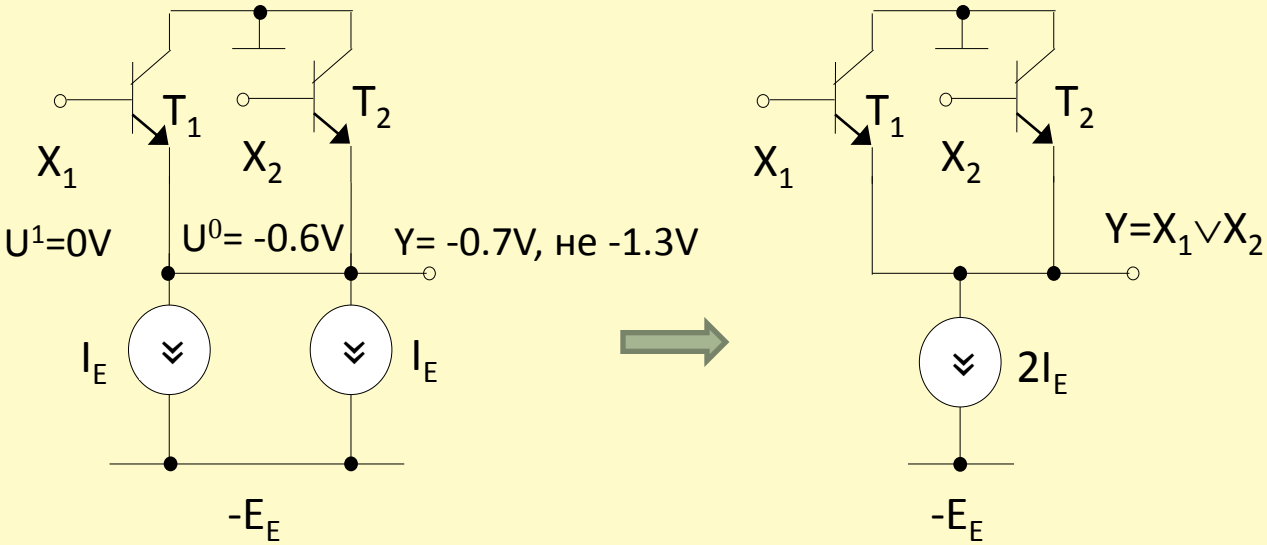
ECL (emitter coupled logic) **схеми.**

Схема с ИТ, реализиран с транзистор



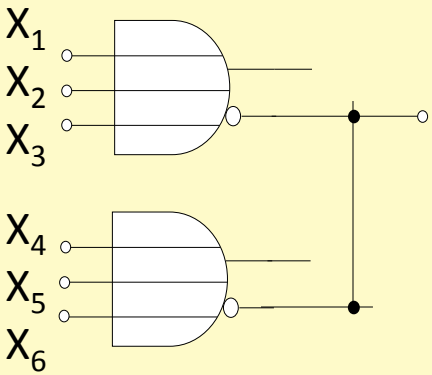
ECL (emitter coupled logic) **схеми**

Директно свързване изходите на ЕП



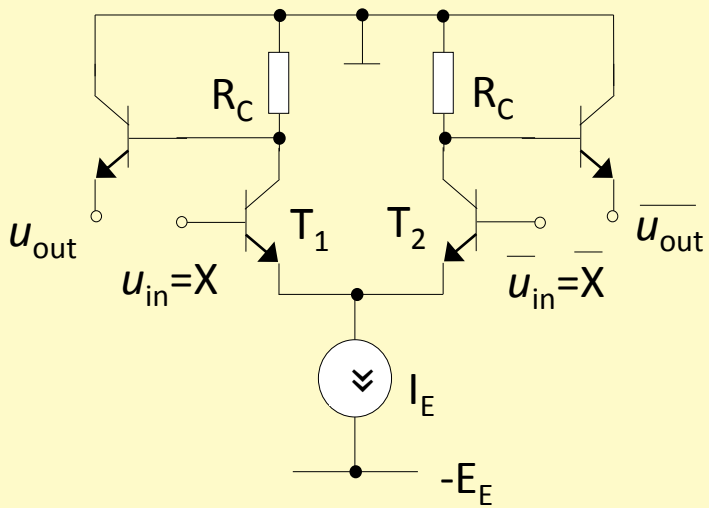
! Не съществува като възможност при MOS/CMOS и TTL (СИ) схемите.

Изравняване потенциала в накъсо свързаните изходи на ЕП – реализация на ЛФ ИЛИ с директно/„жично“ свързване изходите на няколко елемента (*wired*-OR, *dotted*-OR).



$$Y = \overline{X_1 \vee X_2 \vee X_3} \vee \overline{X_4 \vee X_5 \vee X_6} =$$
$$= \overline{(X_1 \vee X_2 \vee X_3).(X_4 \vee X_5 \vee X_6)}$$

ECL схеми с намалена логическа амплитуда (диференциални)



$$u_{in} - \bar{u}_{in} = 2(u_{in} - E_{ОП})$$

- ✓ ↑шумоустойчивост за шум от захр.напр. (едновременно въздействие спрямо u_{in} и $\bar{u}_{in}$;
- ✓ намалената лог.амплитуда → по-ниско ниво на шумовете при превключване;
- ✓ балансиран товар.

➢ Цел - по-високо бързодействие (намалена логическа амплитуда), повишена шумоустойчивост спрямо *single-ended* ECL схемите; $E_{оп}$ се задава динамично (инверсната стойност на u_{in}) – диференциални (*differential*) ECL схеми.

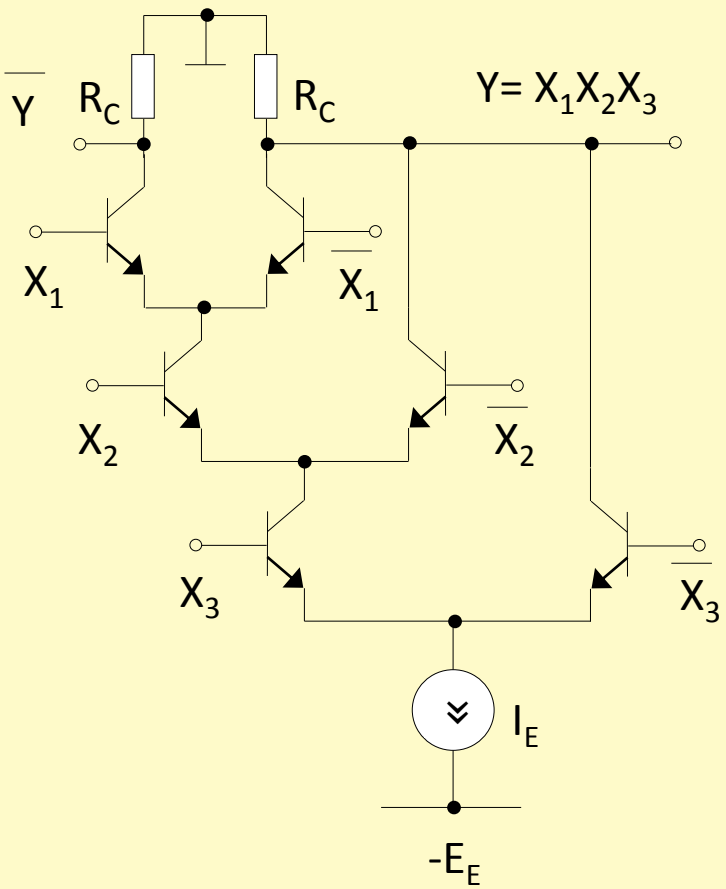
$$i_{C1}/i_{C2} = e^{(u_{in}-\bar{u}_{in})/\varphi_T}$$

$$\frac{i_{C1}}{I_E} = \frac{i_{C1}}{i_{C1}+i_{C2}} = \frac{i_{C1}/i_{C2}}{1+i_{C1}/i_{C2}} = \frac{e^{(u_{in}-\bar{u}_{in})/\varphi_T}}{1+e^{(u_{in}-\bar{u}_{in})/\varphi_T}} = \frac{e^x}{1+e^x} = \delta = 0.99$$

$$x = \ln\frac{\delta}{1-\delta} = \frac{\Delta U_a}{\varphi_T}$$

Активна област ≅ 120mV (2 пъти по-ниска)
Логическа амплитуда = 200-250mV

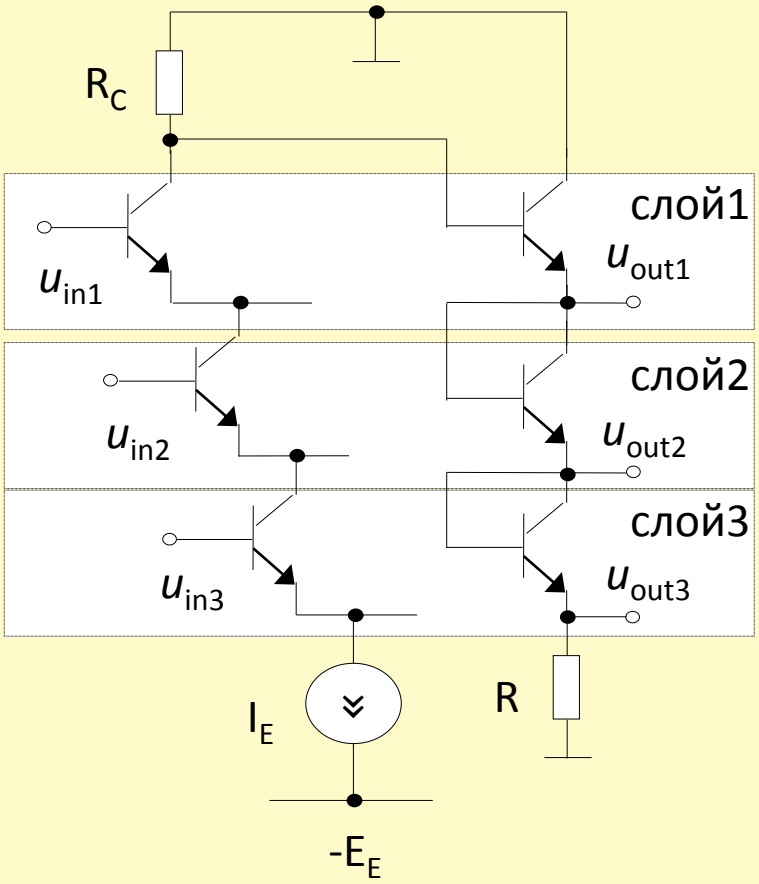
ECL схеми с намалена логическа амплитуда (диференциални): практическа реализация на ЛФ, особености, недостатъци



- комплементарно проектиране на общата схема – за налични прав и инверсен изход - увеличен брой транзисторите в схемата;
- логически базис И/И-НЕ;
- допълнителната функция ИЛИ/ИЛИ-НЕ – от същата схема, като се използват инверсните стойности на вх.променливи, за схемата:

$$\overline{X}_1\overline{X}_2\overline{X}_3 = \overline{X_1 \vee X_2 \vee X_3}$$

ECL схеми с намалена логическа амплитуда (диференциални) – практическа реализация на ЛФ, етажни (многослойни/stacked) структури



- слойно (етажно) изграждане. Недопускане на насищане в “горните” етажи на схемата;
- <u>намалено бързодействие</u> при по-голям брой слоеве (по-ниско разположените слоеве се захр. с по-ниско напрежение).

Практическо ограничение до 3 слоя.

ECL схеми. Консумирана мощност

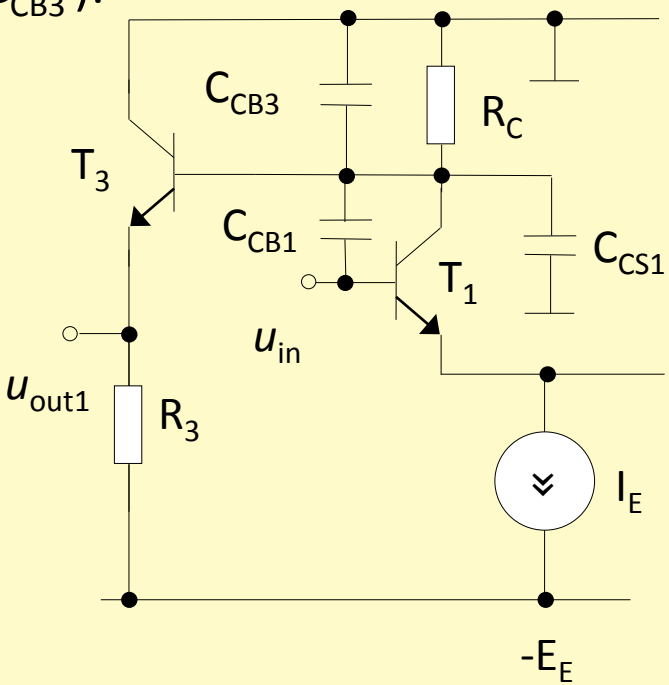
- Статична консумирана мощност (в осн.клетка, ЕП, в източника на опорно напрежение):

$$P_{K\,CT} = (I_E + 2.I_{EП})E_E + (1/k)\,I_{EOП}E_E$$

k – брой схеми, които захранва опорният изт.на напрежение

- Динамична консумирана мощност - за зареждане на товарния капацитет (C_L=C_{CB1}+ C_{CS1}+C_{CB3}):

$$P_{K\,Д} = C_L \Delta U.E_E.f$$



Съвременни ECL схеми. Параметри. Пример (средно закъснение 230ps)

MC10EL01, MC100EL01

5V ECL 4-Input OR/NOR

Description

The MC10EL/100EL01 is a 4-input OR/NOR gate. The device is functionally equivalent to the E101 device with higher performance capabilities. With propagation delays and output transition times significantly faster than the E101, the EL01 is ideally suited for those applications which require the ultimate in AC performance.

The 100 series contains temperature compensation.

Features

- 230 ps Propagation Delay
- ESD Protection: > 1 kV Human Body Model, > 100 V Machine Model
- PECL Mode Operating Range: V_{CC} = 4.2 V to 5.7 V with V_{EE} = 0 V
- NECL Mode Operating Range: V_{CC} = 0 V with V_{EE} = −4.2 V to −5.7 V
- Internal Input Pulldown Resistors
- Meets or Exceeds JEDEC Spec EIA/JESD78 IC Latchup Test
- Moisture Sensitivity Level 1
  For Additional Information, see Application Note AND8003/D
- Flammability Rating: UL 94 V−0 @ 0.125 in, Oxygen Index: 28 to 34
- Transistor Count = 46 devices
- Pb−Free Packages are Available

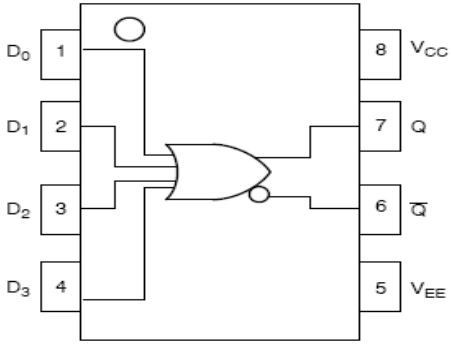
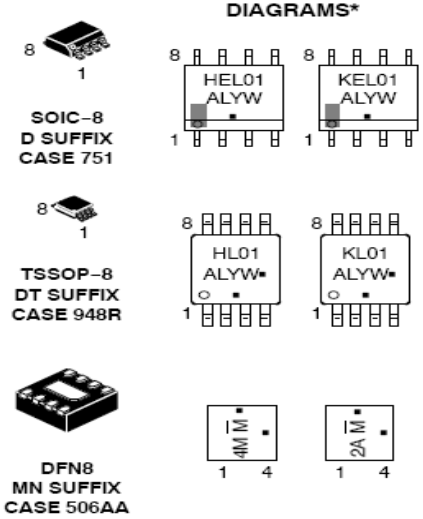


Figure 1. Logic Diagram and Pinout Assignment

ON Semiconductor®

http://onsemi.com

MARKING DIAGRAMS*



H = MC10
K = MC100
4M = MC10
2A = MC100
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
M̄ = Date Code
▪ = Pb−Free Package

(Note: Microdot may be in either location)

*For additional marking information, refer to Application Note AND8002/D.

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 5 of this data sheet.

Схеми с “памет” – обобщена класификация
Симетрични тригери

Цифрови схеми с характеристика памет (мултивибратори)

Бистабилни (с две устойчиви изходни състояния) – *тригери*

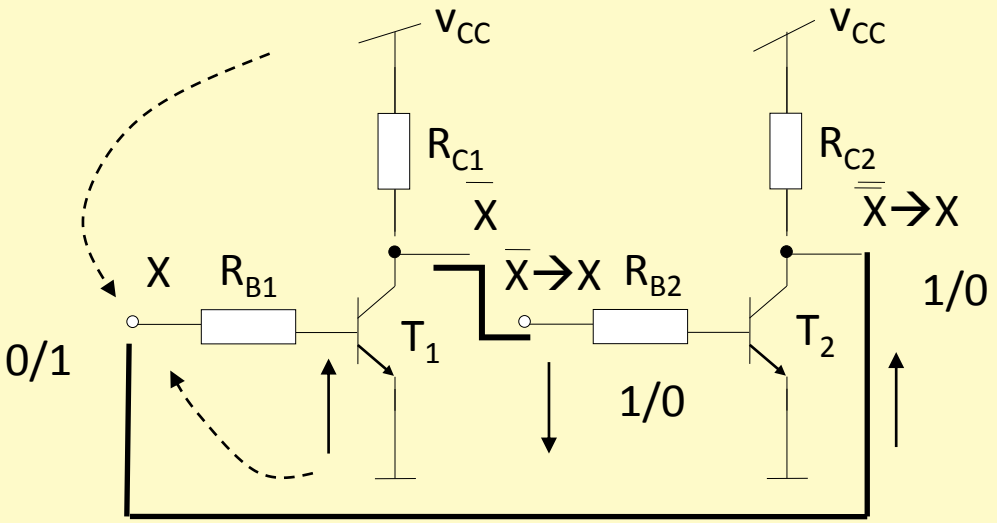
(симетрични и несиметрични)

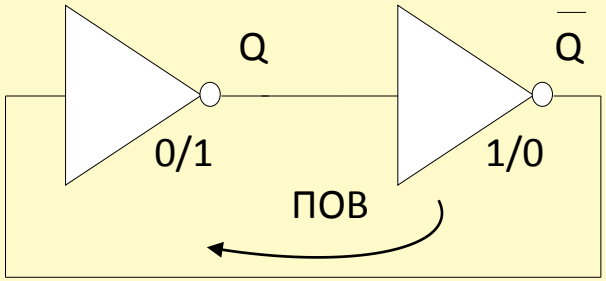
Моностабилни (с едно устойчиво и едно квазиустойчиво изходни състояния) – *чакащи мултивибратори (ЧМ)*

Астабилни (регенеративни, с две квазиустойчиви изходни състояния) – *импулсни генератори (АГ)*

Структури с допълнителна времезадаваща верига/и

Симетрични тригери. Основна клетка





Симетрични тригери. Видове

Симетрични тригери

Асинхронни

Latches,
Flip-flops

- „чисто“ асинхронни (класически тригерни схеми)
- с допълнителен разрешаващ сигнал по ниво (enable, gated, level-triggered)

Синхронни

Flip-flops,
Triggers

- по предния фронт на тактовия (clock) сигнал (positive-edge triggered FFs)
- по задния фронт на тактовия (clock) сигнал (negative-edge triggered FFs)
- в рамките на целия импулс на тактовия сигнал (pulse- triggered FFs)

С едностъпална структура

С двустъпална структура (MS)

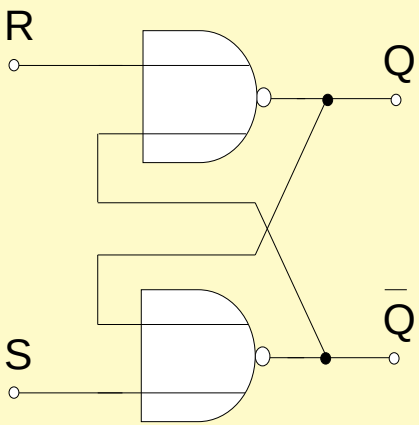
Основни - RS,JK,D,T

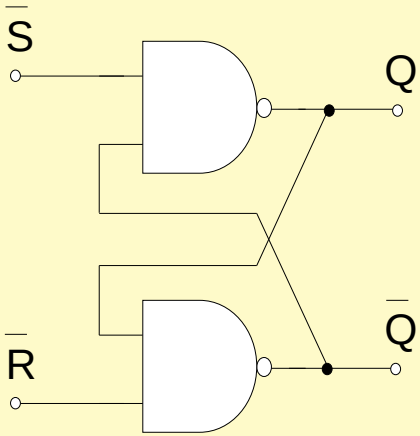
Други - DV,TV, комбини-рани (RS-JK, RS-D), с доп. входна логика

Синхронни по вход

Синхронни по вход и по изход

Асинхронни тригери. Структури с логически елементи





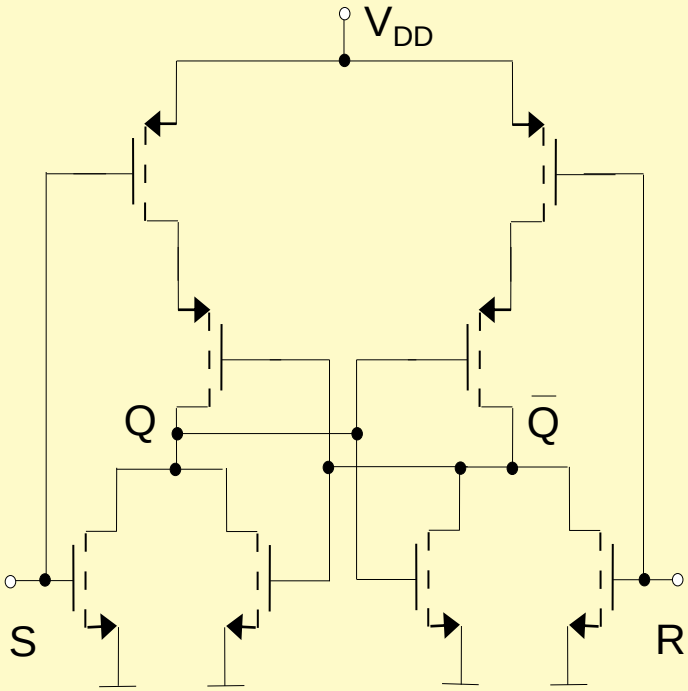
R	S	Q^{t+1}	$\overline{Q}^{t+1}$	Действие
0	0	Q^t	$\overline{Q}^t$	без промяна (памет)
0	1	1	0	уст.в единица (Set)
1	0	0	1	уст.в нула (Reset)
1	1	0	0	0* забранено състояние

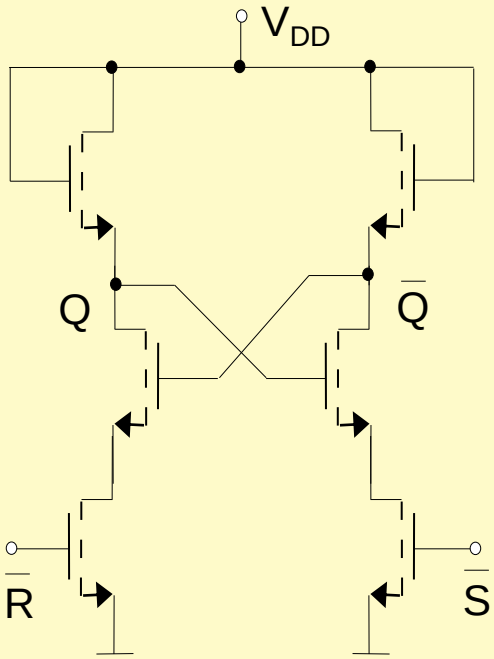
с “прави” входове (NOR ЛЕ)

$\overline{R}$	$\overline{S}$	Q^{t+1}	$\overline{Q}^{t+1}$	Действие
0	0	1	1	1* забранено състояние
0	1	0	1	уст.в нула (Reset)
1	0	1	0	уст.в единица (Set)
1	1	Q^t	$\overline{Q}^t$	без промяна (памет)

с “инверсни” входове (NAND ЛЕ)

Асинхронни тригери
Принципни схеми при реализация в MOS/CMOS елементен базис





със CMOS NOR ЛЕ

с MOS NAND ЛЕ