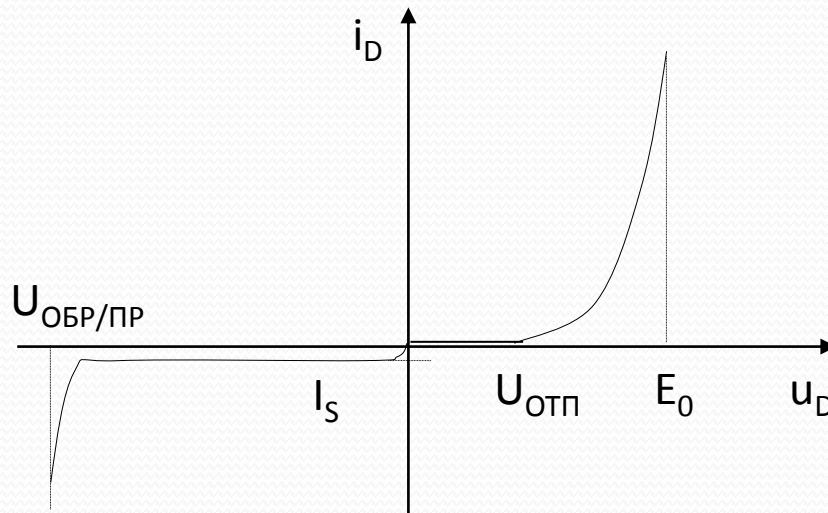


ЦИФРОВА СХЕМОТЕХНИКА

ЛЕКЦИЯ #3

Диодни ограничители

- Елементи с нелинейна ВАХ;
- Несиметрична пропускливост в двете посоки $A \rightarrow K$;
- Високо съпротивление в обратна посока;
- Удобни за изграждане на пасивни ограничители на сигнали.



За приблизителен
числен анализ:

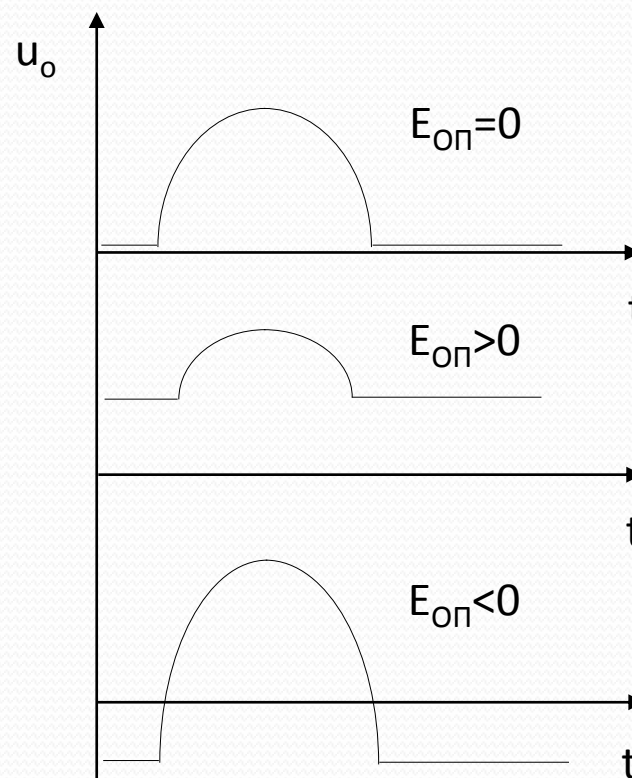
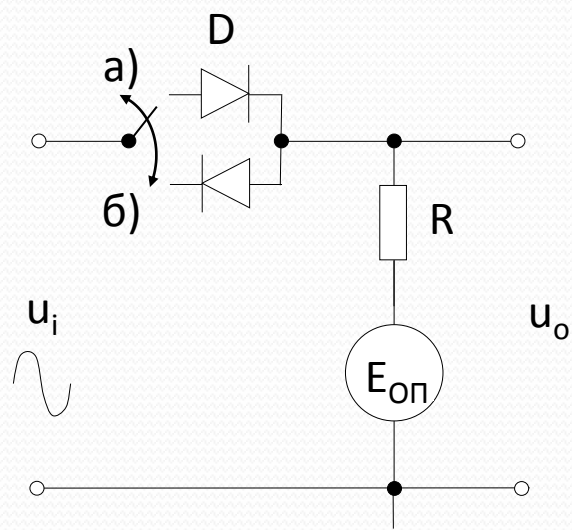
$$\begin{aligned}U_{\text{отп}} &= 0.6\text{V} \\ E_0 &= 0.7\text{V} \\ I_s &= 0\end{aligned}$$

ВАХ на полупроводников диод

Диодни ограничители

ЕДНОСТРАННИ

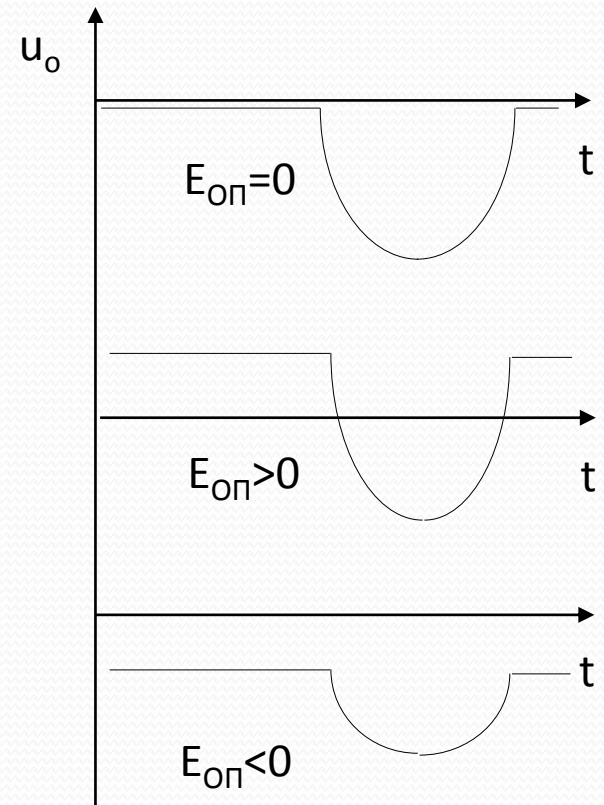
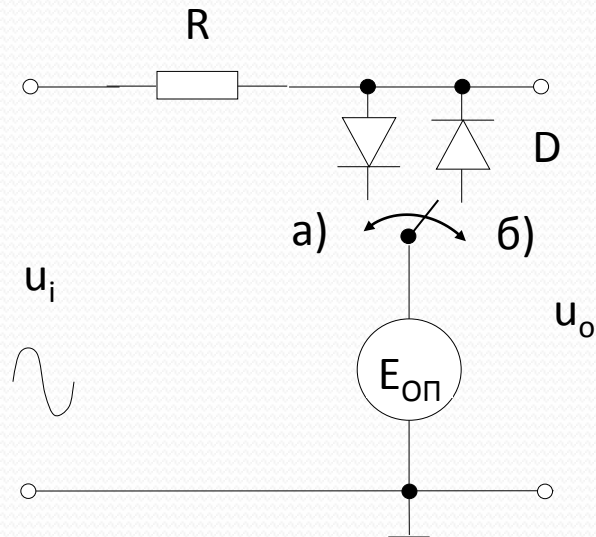
- От последователен тип
 - От долу (а) →
 - От горе (б) →



Диодни ограничители

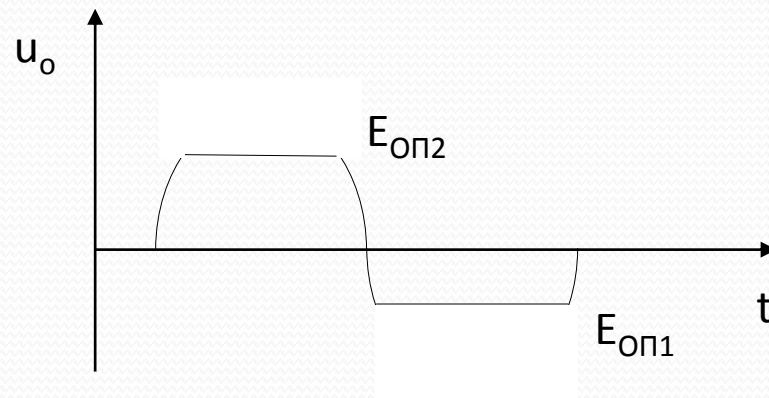
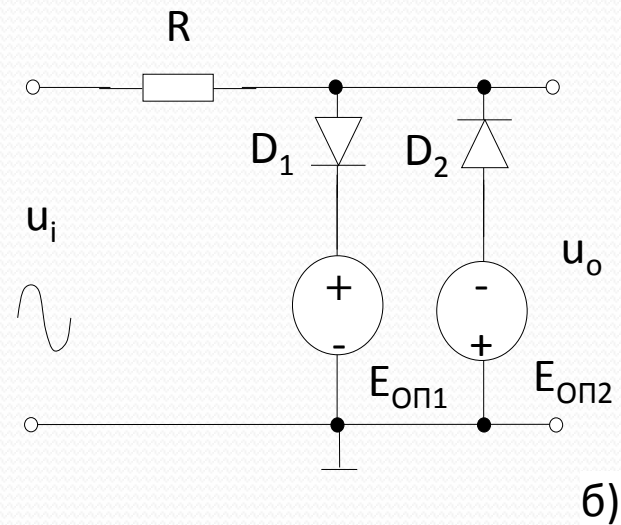
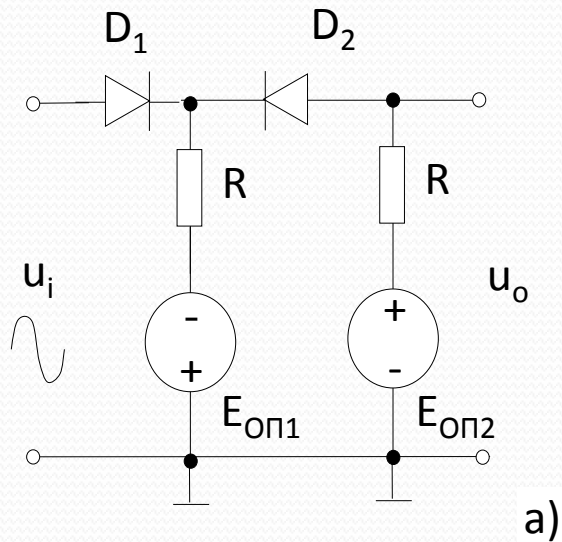
ЕДНОСТРАННИ

- От паралелен тип
 - От горе (а) →
 - От долу (б)



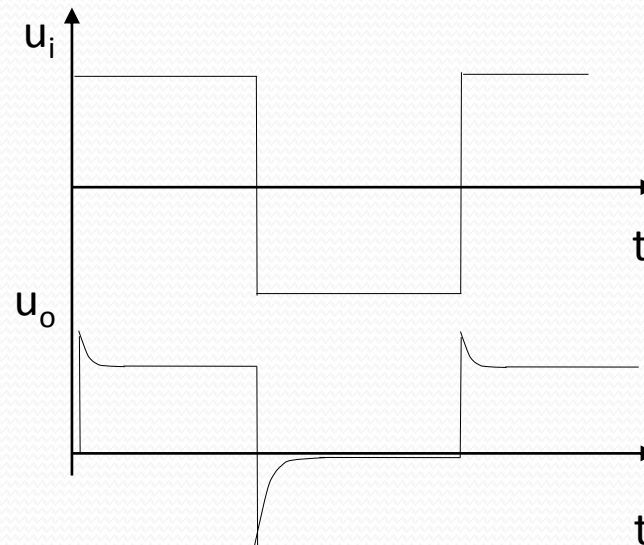
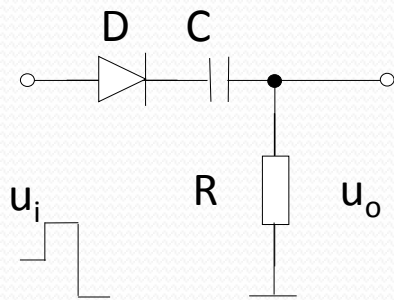
Диодни ограничители

ДВУСТРАННИ: (а) от последователен тип; (б) от паралелен тип



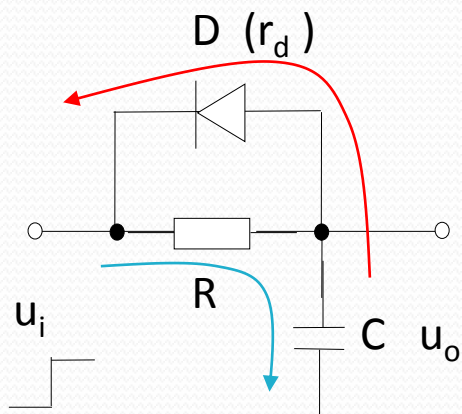
Линейни формиращи вериги (интегриращи/диференциращи) с включени ограничителни диоди - примери

- Диференцираща верига с едностранен диоден ограничител от последователен тип



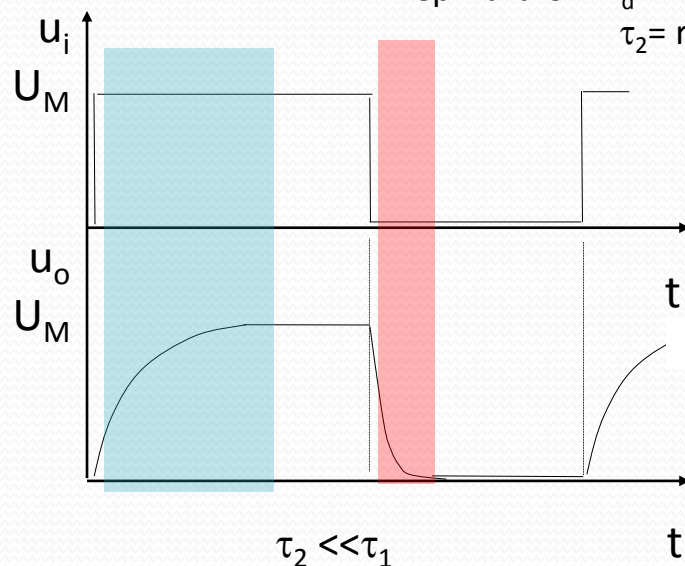
Линейни формиращи (интегриращи/диференциращи) вериги с включени ограничителни диоди - примери

- Интегрираща верига с едностранен диоден ограничител от последователен тип

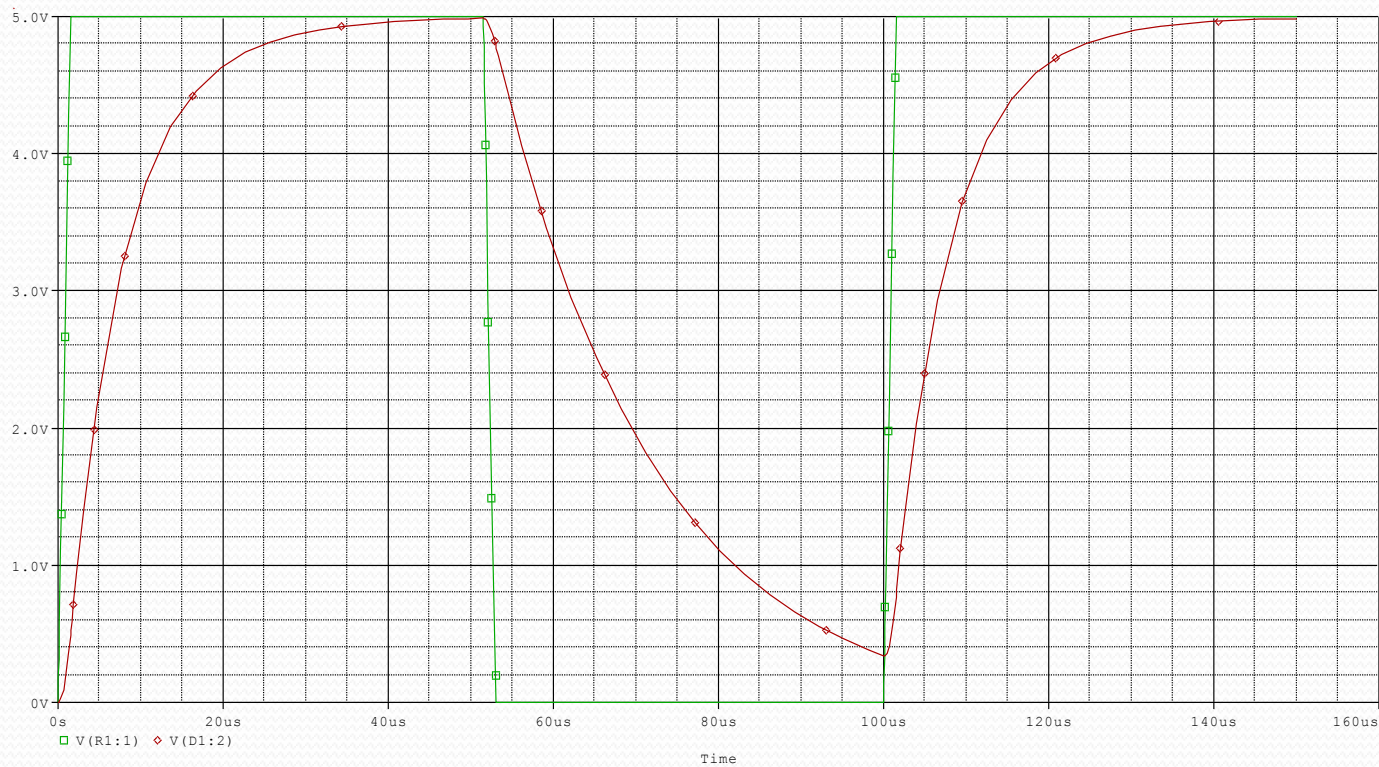
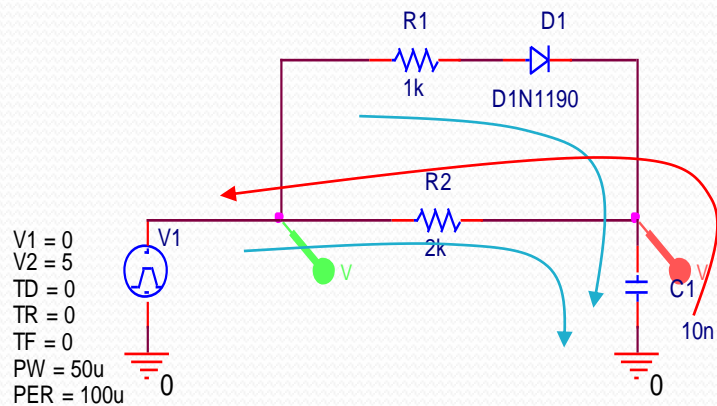


Заряд на кондензатора по
веригата $u_i \rightarrow R \rightarrow C \rightarrow$ маса
 $\tau_1 = RC$

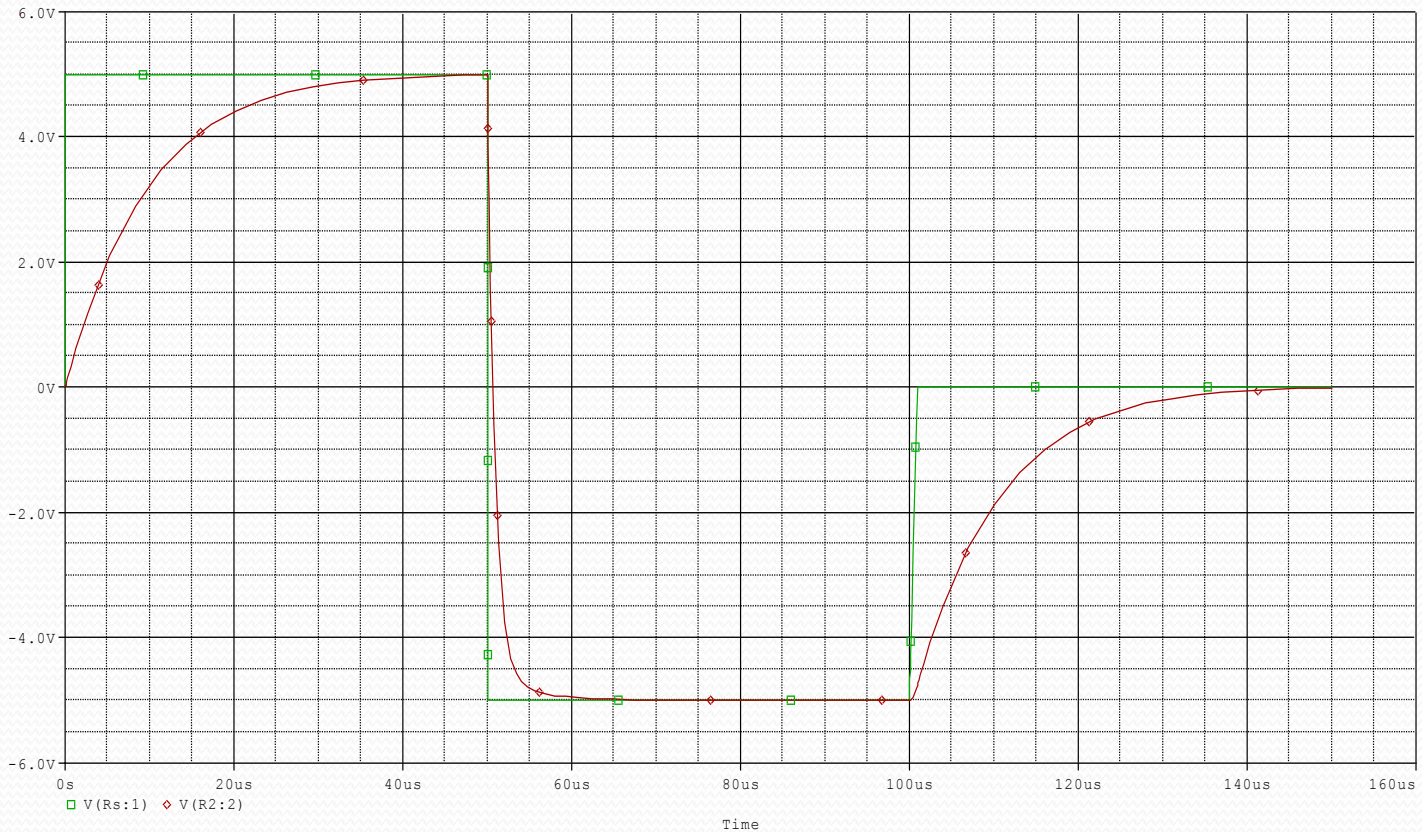
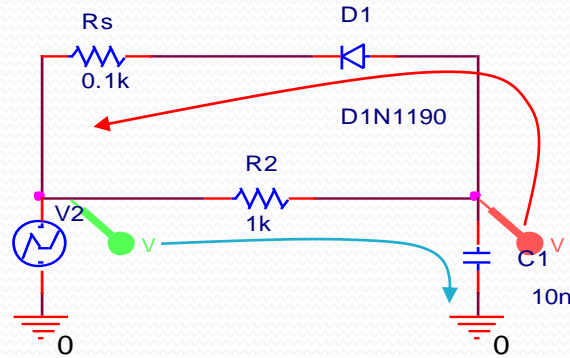
Разряд на кондензатора по
веригата $C \rightarrow r_d \rightarrow$ вх.изт. $u_i \rightarrow$ маса
 $\tau_2 = r_d C$



Примери: диодни ограничители в пасивни формираци вериги (PSPICE симулации)

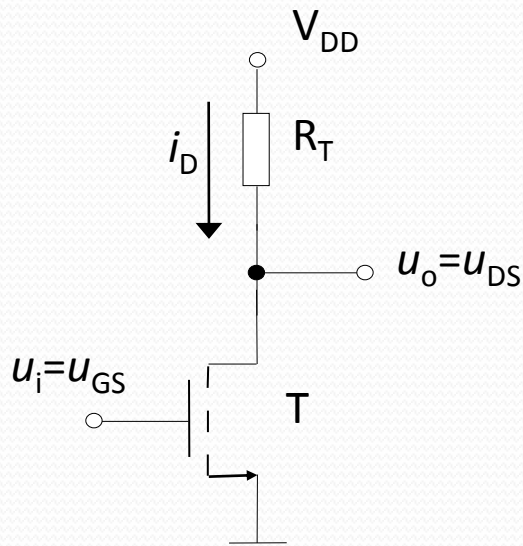


Примери: диодни ограничители в пасивни формираци вериги (PSPICE симулации)



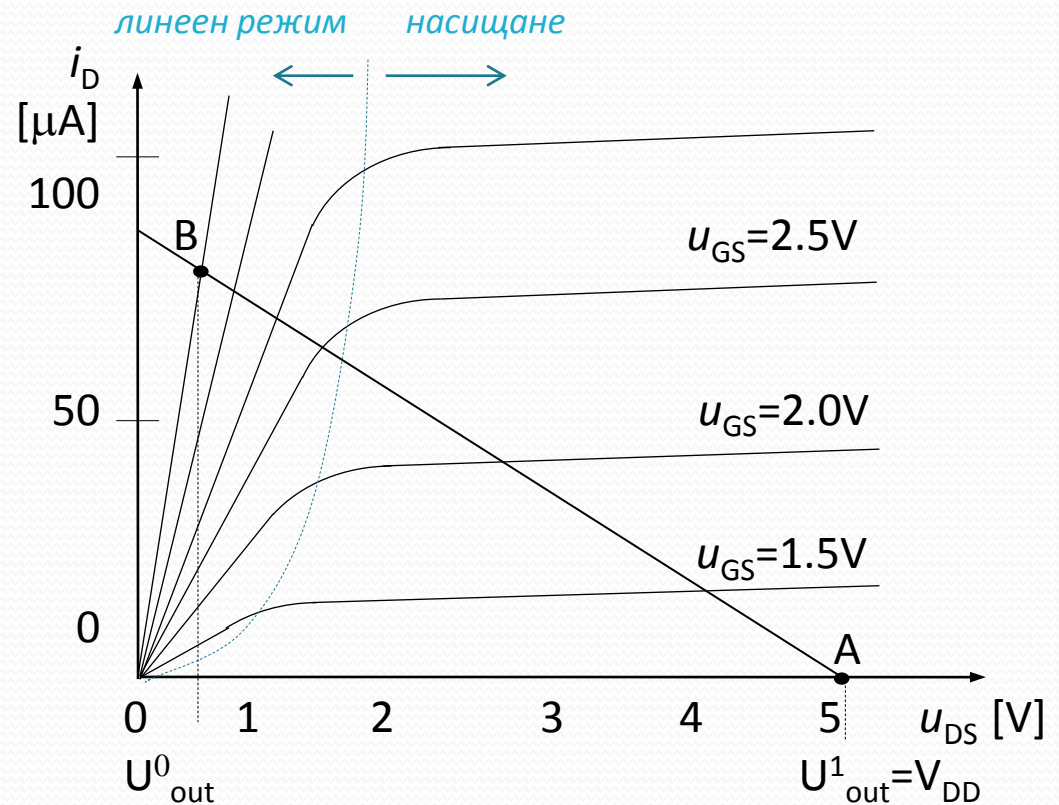
MOS схемотехника. Логически схеми

- MOS инвертор с линеен товар



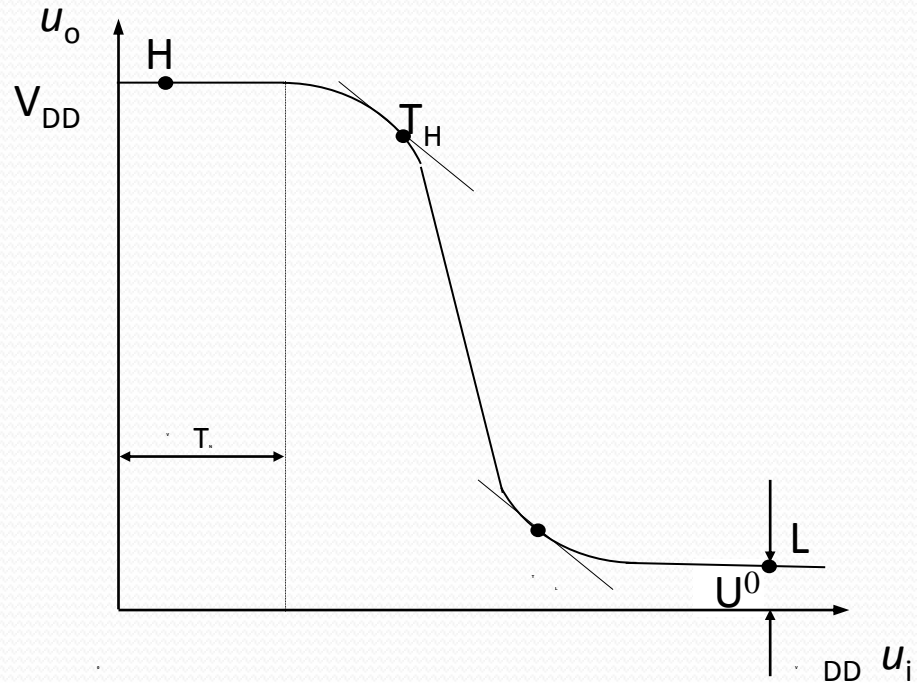
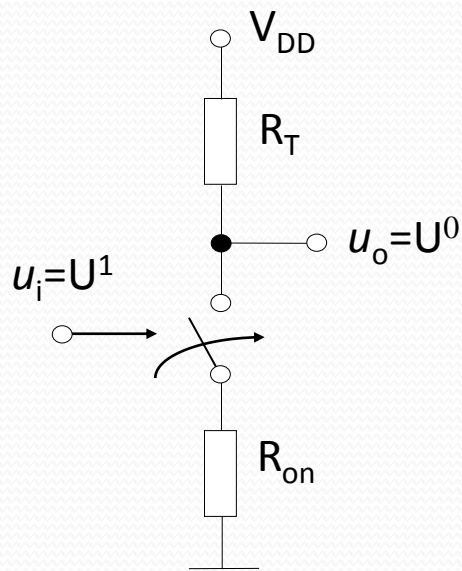
$$U^1 = V_{DD}$$

$$U^0 = u_{DS} = V_{DD} - i_D R_T$$



MOS схемотехника. Инвертор с линеен товар

- MOS инвертор с линеен товар – модел, ПХ, логическа нула



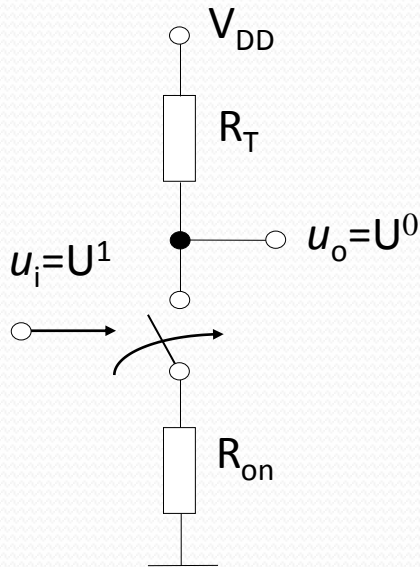
$$U_{out}^0 = V_{DD} \frac{R_{on}}{R_{on} + R_T} = \frac{V_{DD}}{1 + R_T / R_{on}}$$

$$R_{on} = \frac{u_{DS}}{i_D} = \frac{1}{K'_N \cdot (W/L) \cdot (u_{GS} - V_{TN} - u_{DS} / 2)}$$

$$R_T = (V_{DD} - U_{out}^0) / i_D$$

MOS схемотехника. Инвертор с линеен товар

- MOS инвертор с линеен товар – числен анализ:



за т.Т_H (и на дясно) $\rightarrow u_{DS} > u_{GS} - V_T$

$$i_D = (K_N/2) \cdot (u_i - V_{TN})^2 \quad \text{- в насищане}$$

$$K_N = K'_N (W/L)$$

$$u_o = V_{DD} - R_T (K_N/2) \cdot (u_i - V_{TN})^2$$

$$du_o/d u_i = -1 \rightarrow$$

$$u_i = V_{TN} + 1/(K_N R_T), \quad u_o = V_{DD} - 1/(2K_N R_T)$$

за т.Т_L (и на ляво) $\rightarrow u_{DS} < u_{GS} - V_T$

$$i_D = K_N \cdot (u_i - V_{TN} - u_o/2) \cdot u_o \quad \text{- в линеен режим}$$

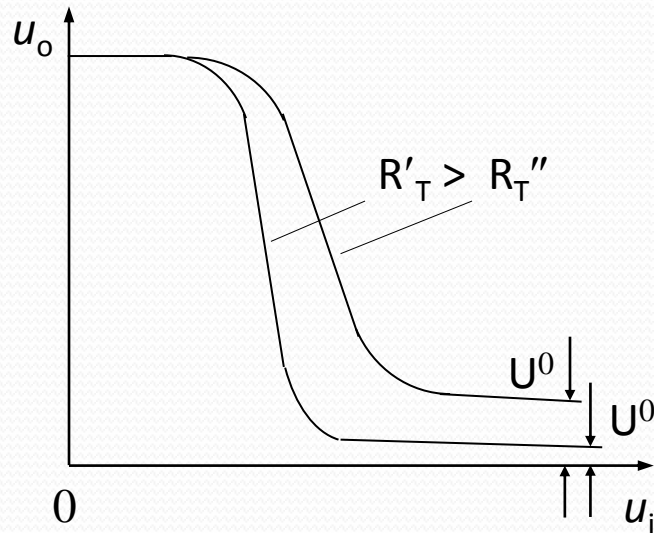
$$u_o = V_{DD} - R_T K_N \cdot (u_i - V_{TN} - u_o/2) \cdot u_o$$

$$u_o^2/2 - u_o(u_i - V_{TN} + 1/R_T K_N) + V_{DD}/R_T K_N = 0$$

$$du_o/du_i = -1 \rightarrow u_i = V_{TN} - 1/(K_N R) + 1.63[V_{DD}/(K_N R)]^{1/2}, \quad u_o = [2V_{DD}/(3K_N R)]^{1/2}$$

MOS схемотехника. Логически схеми

- MOS инвертор с линеен товар – ПХ при различни R_T



$$R_T = \frac{\rho \cdot L}{d \cdot W}$$

Примерни типови стойности:

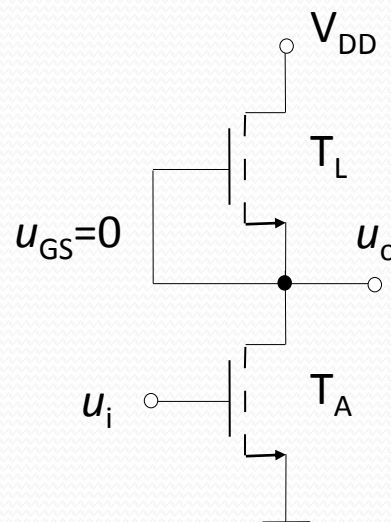
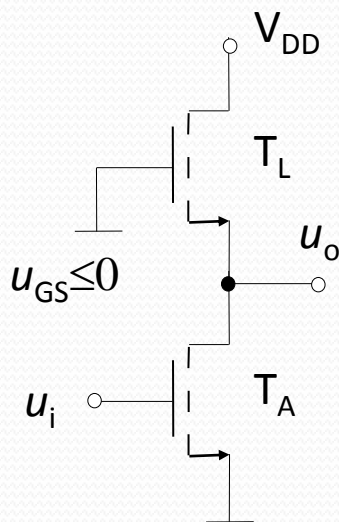
$\rho = 0.001 \Omega \cdot \text{cm}$ – листово съпротивление
 $d = 1 \mu\text{m}$ – дебелина на резистивния слой

$$R_T = 50 \text{K}\Omega \quad W/L = 1/5000$$

- R_T - твърде голяма площ: неподходящо за VLSI приложения (обикновен планарен процес);
- При използване на високомна дифузия за формиране на R_T ($\rho \uparrow \uparrow$)
 → приемливи стойности за площта на резистора /съизмерими с тази на транзистора/.

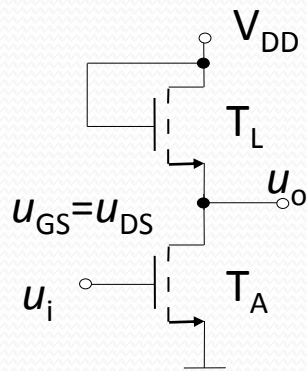
MOS схемотехника. Логически схеми

- MOS инвертори с нелинеен товар – нефункционални структури



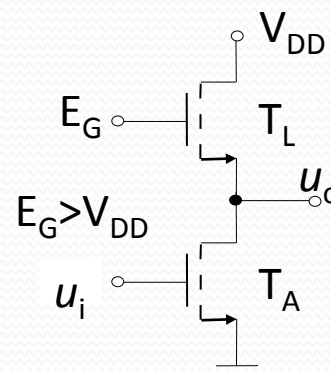
MOS схемотехника. Логически схеми

- MOS инвертори с нелинеен товар – практически функционални структури



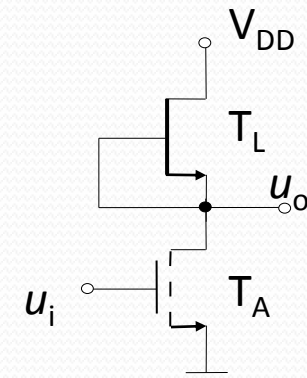
а)

а) с наситен T_L



б)

б) T_L в линеен режим,

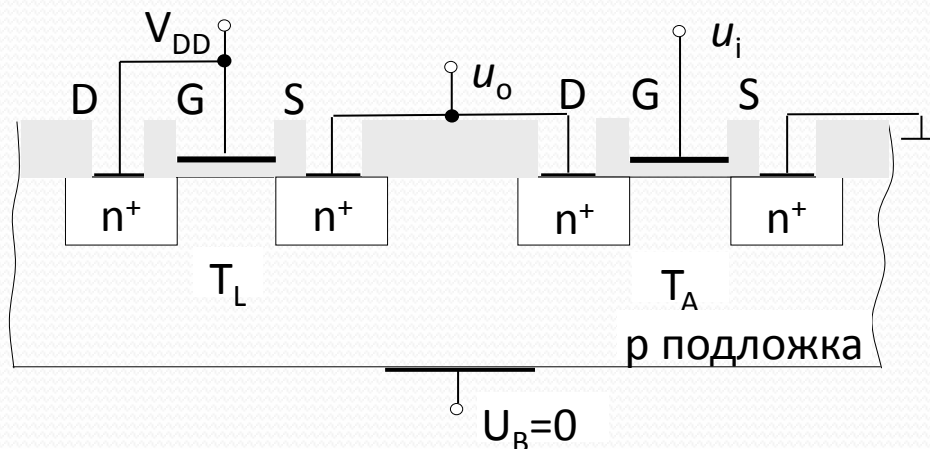
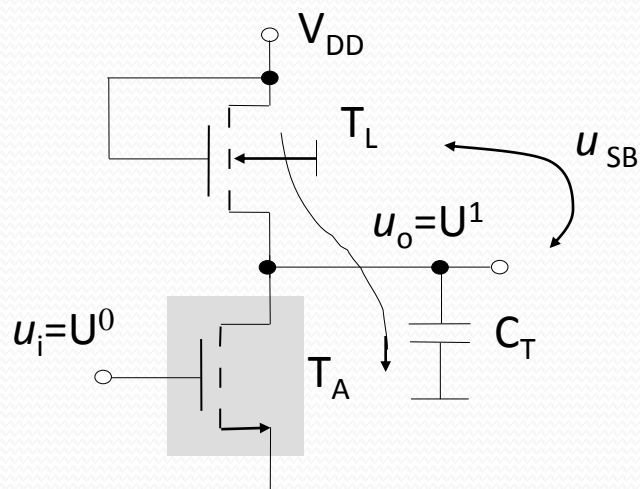


в)

в) с вграден канал

MOS схемотехника. Логически схеми

- MOS инвертори с наситен товарен транзистор



За товарния транзистор при $u_{out} = U^1_{out}$:

$$u_{GS} = V_{DD} - U^1 = V_{TN} \rightarrow U^1 = V_{DD} - V_{TN} \text{ (намалена стойност на логическата единица – недостатък !)}$$

За активния транзистор при $u_{out} = U^0_{out}$:

$$i_D = K'_N (W/L)_A (u_{GS} - V_{TN} - u_{DS} / 2) \cdot u_{DS} = K'_N (W/L)_A (U^1 - V_{TN} - U^0_{out} / 2) \cdot U^0_{out}$$

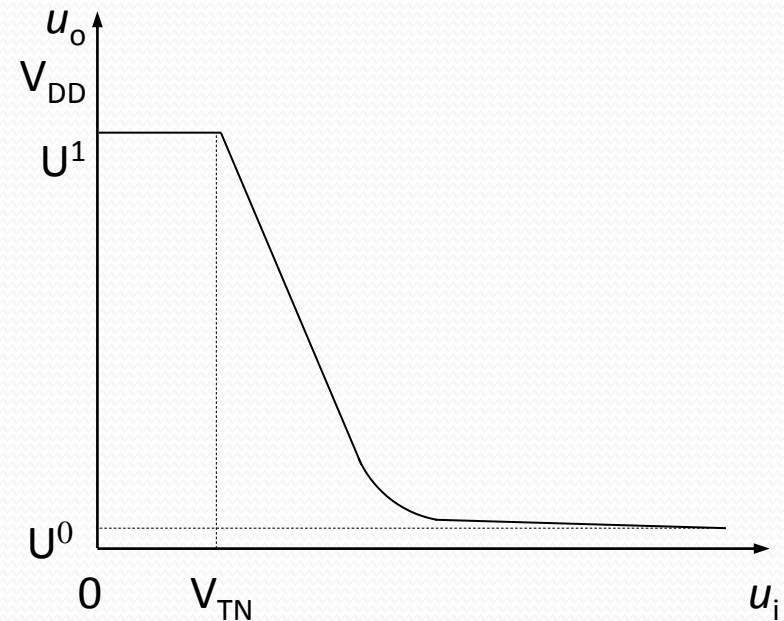
MOS схемотехника. Логически схеми

- MOS инвертори с наситен товарен транзистор – влияние на преднапрежението на подложката, ПХ

$$V_{TN} = V_{TN0} + \gamma_N \left(\sqrt{u_{SB} + 2\phi_T} - \sqrt{2\phi_T} \right)$$

$$U^1_{(U_{SBL} > 0)} = V_{DD} - \left[V_{TN0} + \gamma_N \left(\sqrt{U^1 + 2\phi_T} - \sqrt{2\phi_T} \right) \right]$$

! Допълнително намаляване на U^1_{out} поради по-високото V_{TN} ($U_{SB} \neq 0$)



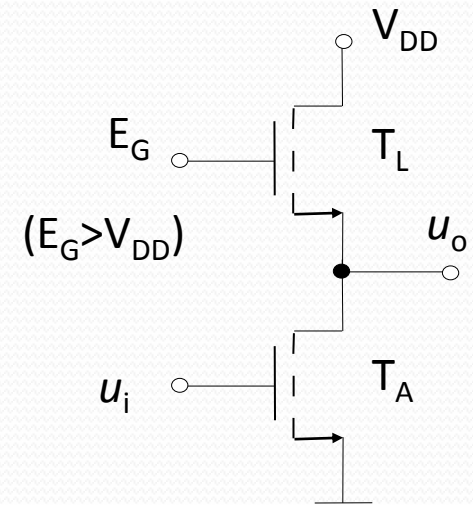
MOS схемотехника. Логически схеми

- MOS инвертори с товарен транзистор в линеен режим

$$E_G \geq V_{DD} + V_T$$

За товарния транзистор е в сила: $u_{GS} \geq u_{DS}$

$$u_{GS} = E_G - u_o \geq V_{DD} - u_o$$

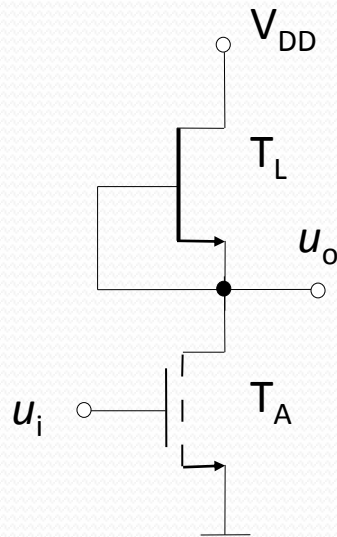


- $U^1 = V_{DD} \rightarrow$ предимство!
- u_{GS} към T_L е високо \rightarrow относително малка площ на товарния транзистор;
- необходимост от допълнителен хранващ източник E_G – недостатък!

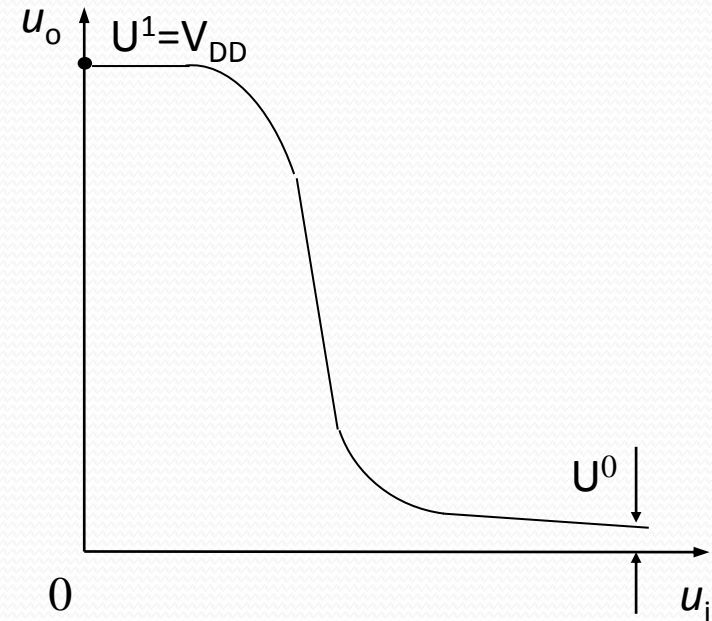
MOS схемотехника. Логически схеми

- MOS инвертор с товарен транзистор в режим на обедняване (токостабилизиращ товар) ($V_{TNL} < 0$)

$u_{DS} \geq u_{GS} - V_{TNL} \rightarrow u_{DS} \geq -V_{TNL} (u_{GS}=0)$ - в насищане $i_D = (K'_N/2)(W/L)(V_{TNL})^2 = \text{const}$
 като източник на ток в MOS ИС

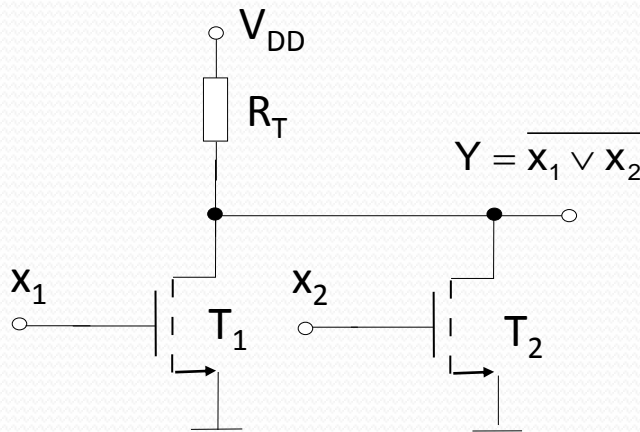


$$U^1 = V_{DD}$$



Логически схеми с MOS транзистори

- Базова логическа ИЛИ-НЕ схема

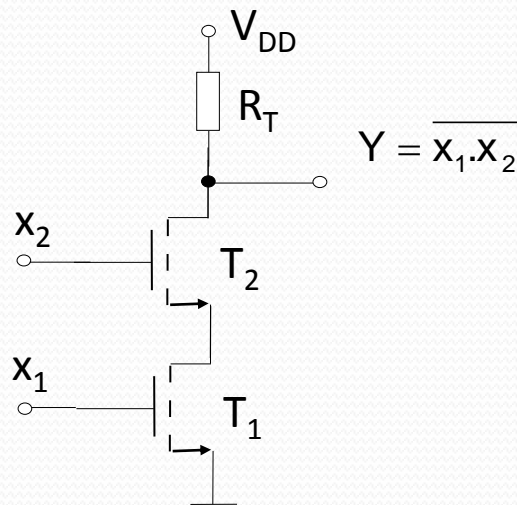


| x_1 | x_2 | $Y = \overline{x_1 \vee x_2}$ |
|-------|-------|-------------------------------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Некритична по отношение броя n на
включените в паралел транзистори (логически входове)

Логически схеми с MOS транзистори

- Базова логическа И-НЕ схема

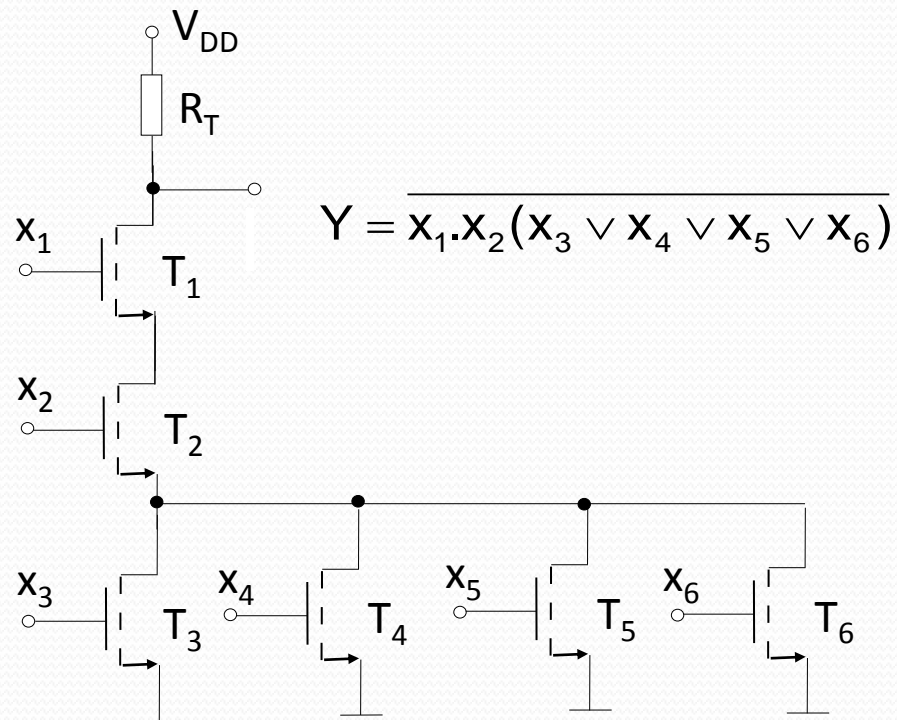


| x_1 | x_2 | $Y = \overline{x_1 \cdot x_2}$ |
|-------|-------|--------------------------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

! **Критична** по отношение броя n на включените серийно транзистори (логически входове) $\rightarrow n_{\max} \approx 3-4$

Логически схеми с MOS транзистори

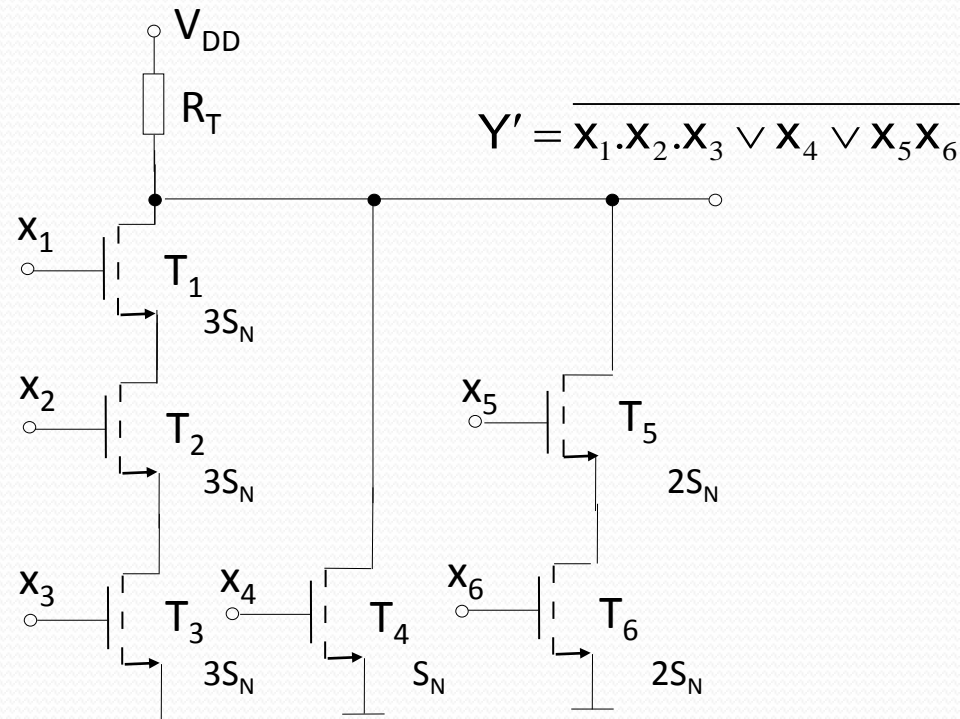
- Многовходови MOS логически схеми



Оценка на “най-лошите” пътища – определяне W/L на транзисторите

Логически схеми с MOS транзистори

- Оценка на токовите пътища при многовходови MOS ЛС. Преоразмеряване хоризонталната геометрия (W/L) на транзисторите. Пример:



“Най-лош” път – токовият път с най-голямо съпротивление между изход и маса (за NMOS ЛС). За всеки клон се оценява отделно площта на включените транзистори, така че да се запази минимално закъснението t_3^{10} , т.е. да се запази равно на това на един инвертор.