

# ЦИФРОВА СХЕМОТЕХНИКА

## ЛЕКЦИЯ #5

# Високоимпедансно състояние в TTL и CMOS базис

## Високоимпедансно състояние (ВИС), Three-State (T.S.), High Impedance (H.I.): дефиниция, функции

### Общи изисквания:

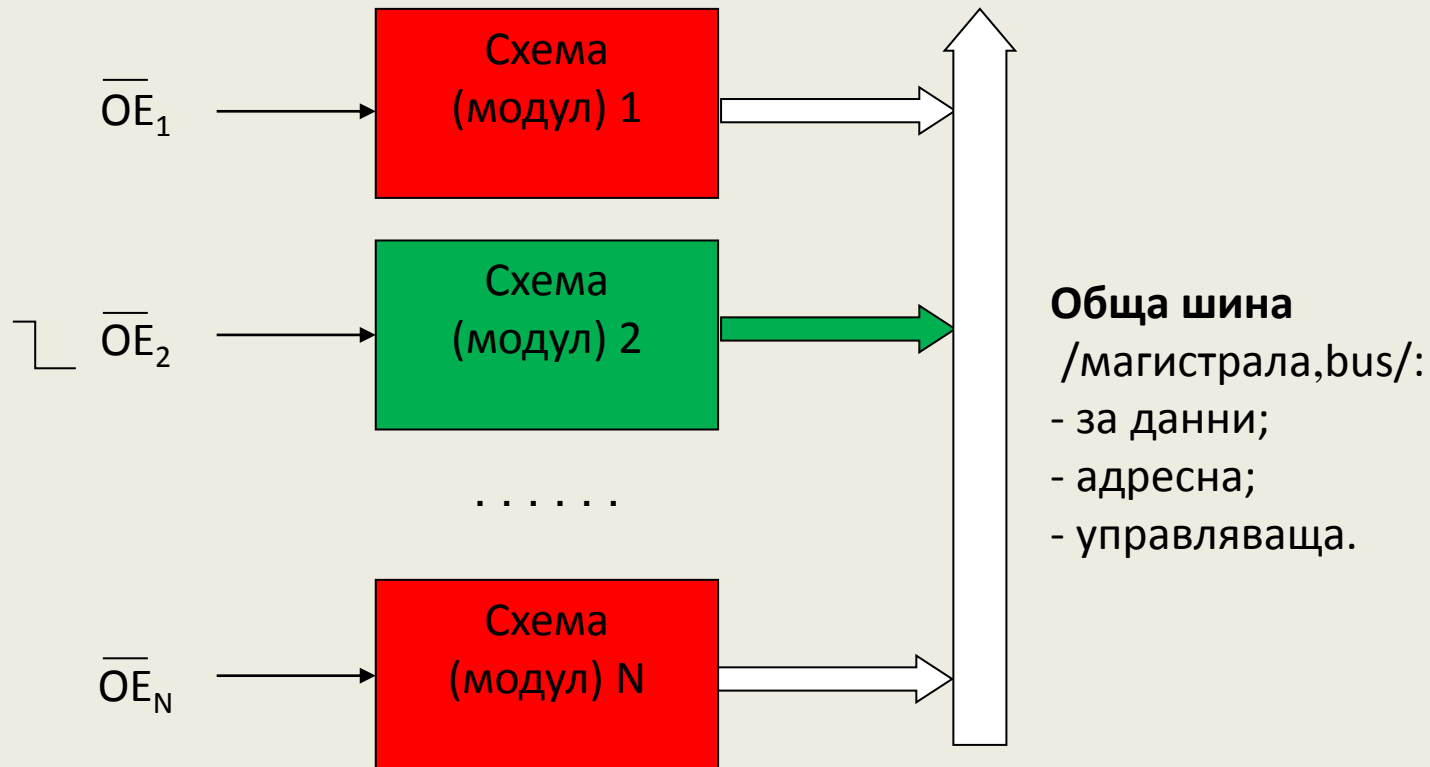
- да може да се установява с помощта на външен (управляващ) сигнал (Z, H.I., T.S., CE, OE), независимо от стойността на входните (логически) сигнали;
- да изисква минимална промяна в схемотехниката на основната схема;
- в състояние H.I. изхода да не се влияе от промяната на входните сигнали;

**Същност на високоимпедансното състояние** – всички транзистори в крайното стъпало на схемата следва да бъдат **едновременно запушени**.

**Резултат** – включване на повече от една схема към обща шина (bus) без да се нарушава работата на всяка от схемите. Състоянието на шината ще се определя от изходното ниво на единствената разрешена схема.

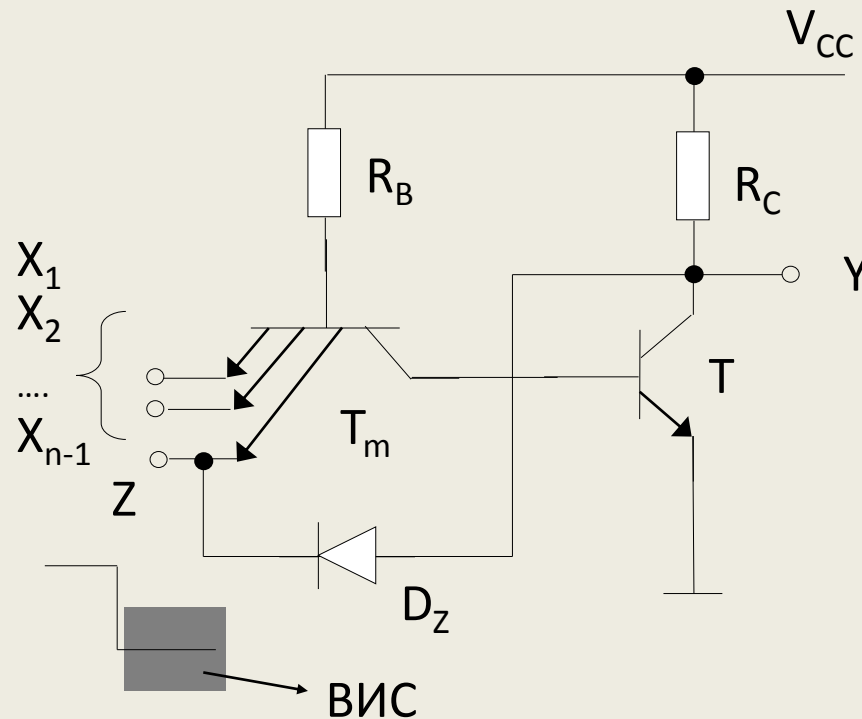
## Високоимпедансно състояние в TTL и CMOS схемотехничен базис

- High impedance (H.I.) – състояние на крайните транзистори, управление, схемотехника на изходното стъпало



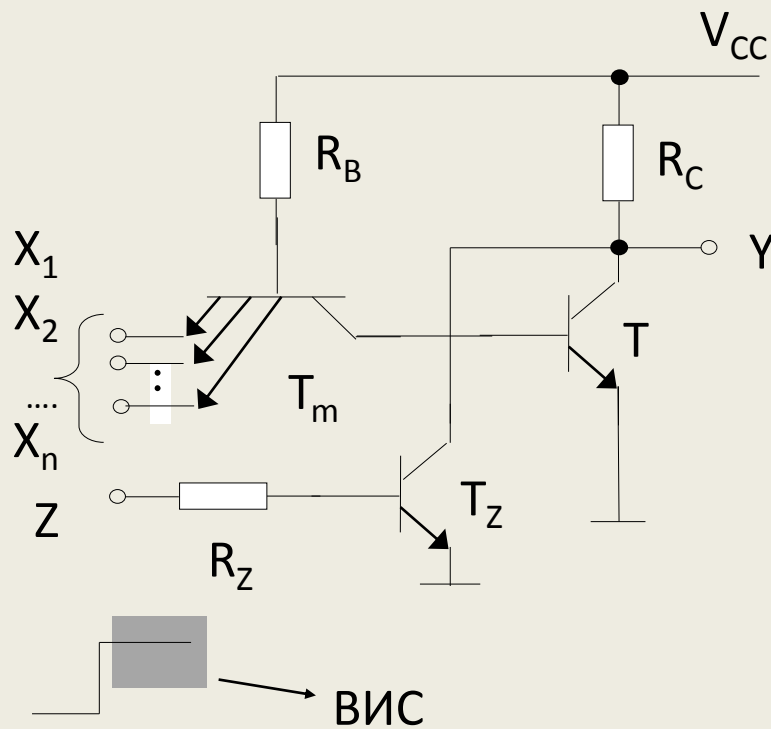
## Високоимпедансно състояние в TTL и CMOS схемотехничен базис

- Реализация на високоимпедансно състояние в TTL  
структури – схема с обратно включен диод



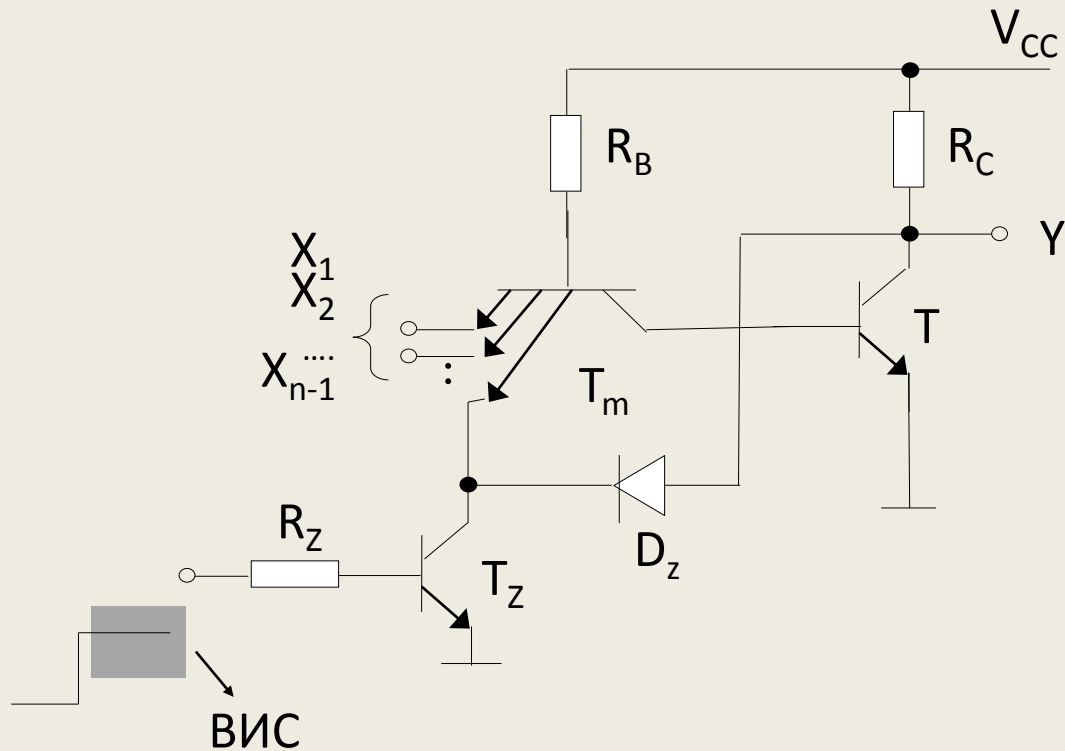
## Високоимпедансно състояние в TTL и CMOS схемотехничен базис

- Реализация на високоимпедансно състояние в TTL структури – схема с наситен транзисторен ключ



# Високоимпедансно състояние в TTL и CMOS схемотехничен базис

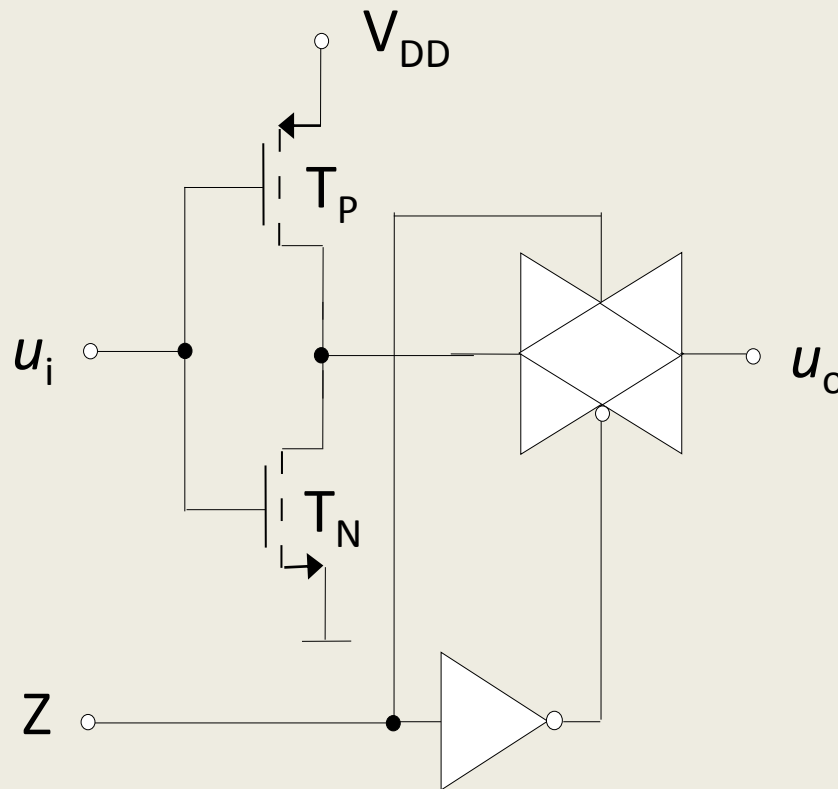
- Реализация на високоимпедансно състояние в TTL  
структури – схема с наситен транзисторен ключ и диод





# Високоимпедансно състояние в TTL и CMOS схемотехничен базис

- Реализация на високоимпедансно състояние в CMOS  
схемотехничен базис – схема с ПЕ в изхода

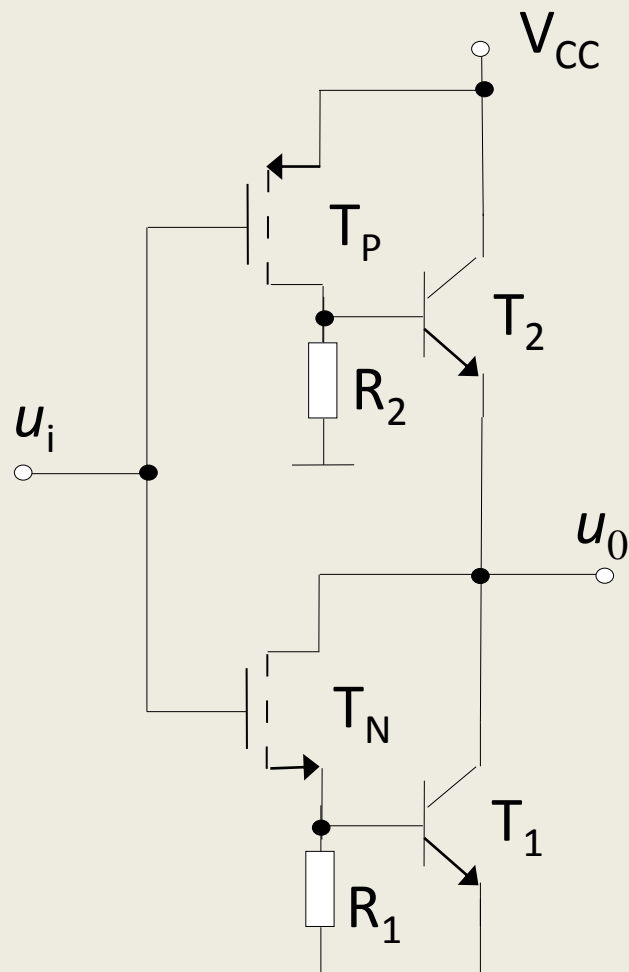






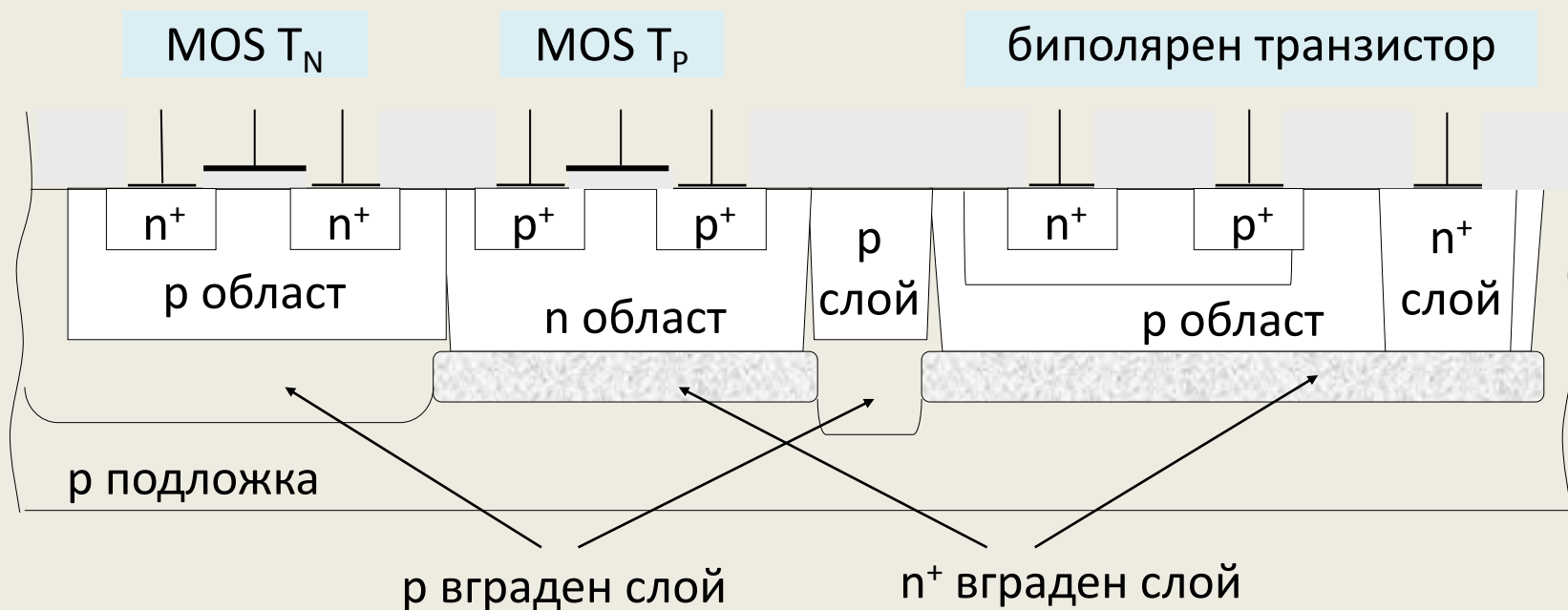
# BiCMOS структури

## ■ Основна схема (инвертор)



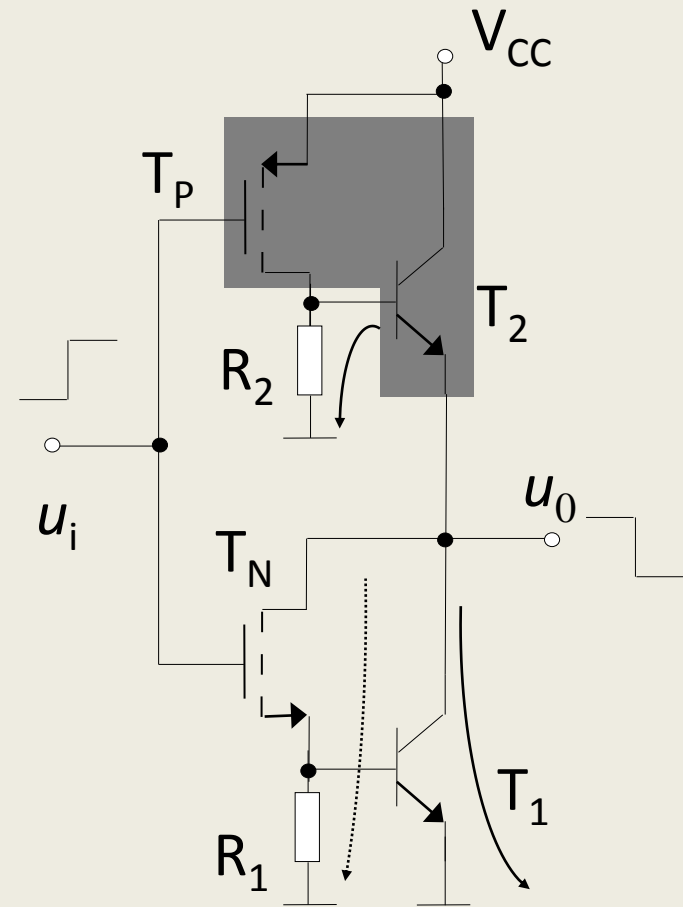
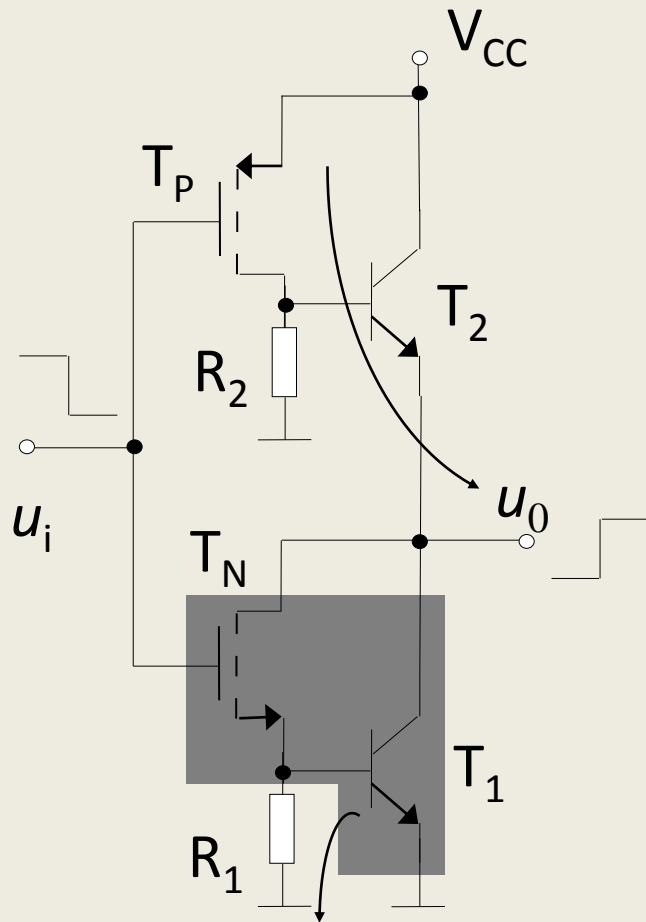
## BiCMOS структури

- Интегрална реализация – съвместяване на биполярна и MOS структури върху една подложка в общ технол. процес



# BiCMOS структури

- Основна схема (инвертор) – състояние на транзисторите



## BiCMOS структури

### ■ Основна схема (инвертор) – логическа амплитуда, недостатъци

- при  $T_P$  отп., базата на  $T_2$  е свързана към  $V_{CC}$  (ЕП):

$$U^1 = V_{CC} - U_{be0}$$

*намалена стойност на логическата единица!*

- при  $T_N$  отп.,  $T_1$  е отп. до тогава, докато  $U_{изх} > U_{be0}$ , след което се запущва:

$$U^0 \approx U_{be0}$$

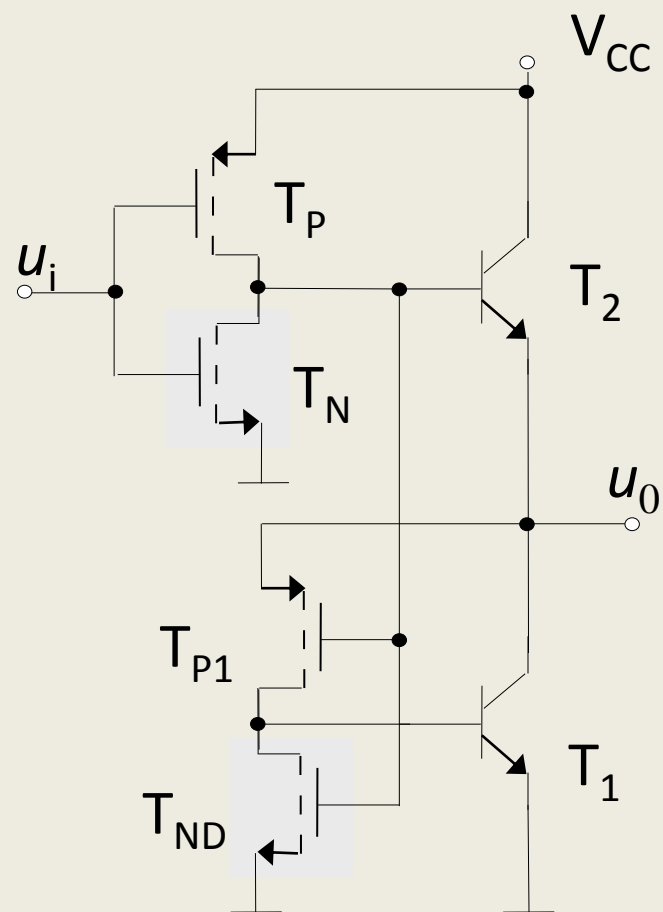
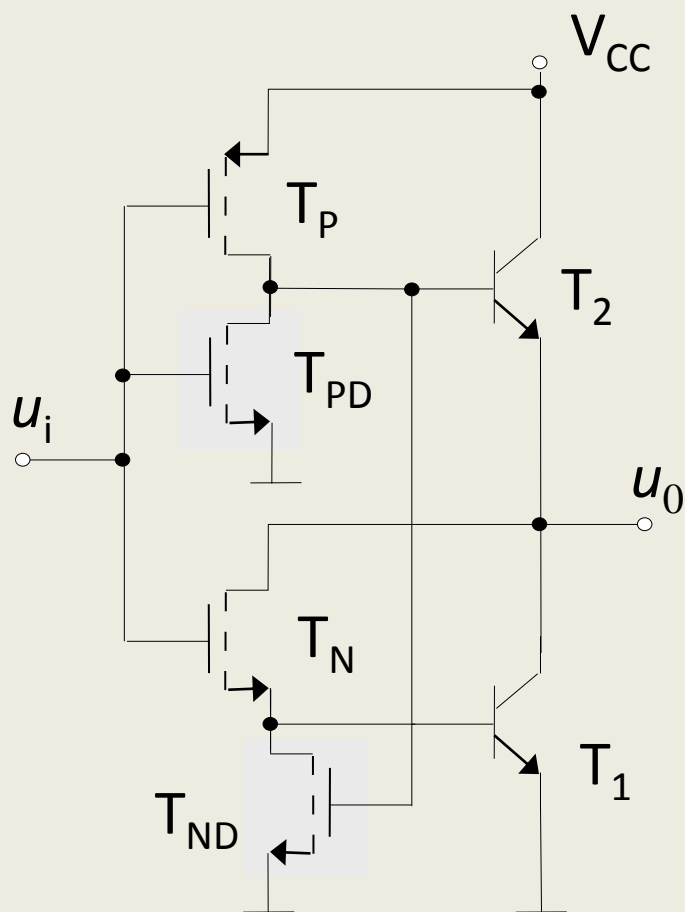
При  $t \uparrow$ ,  $U^0 \rightarrow 0V$  (разряд на  $C_T$  през структурата  $T_N$ - $R_1$  – високоомна).

$$\Delta U = V_{CC} - 2U_{be0}$$

$U^1 \downarrow$  - проблематично/невъзможно управление на схеми от същия тип (невъзможност за запущване на  $T_P$  от следващата схема,  $V_{TP} = 0.6 \div 0.8V \cong U_{be0}$ ).

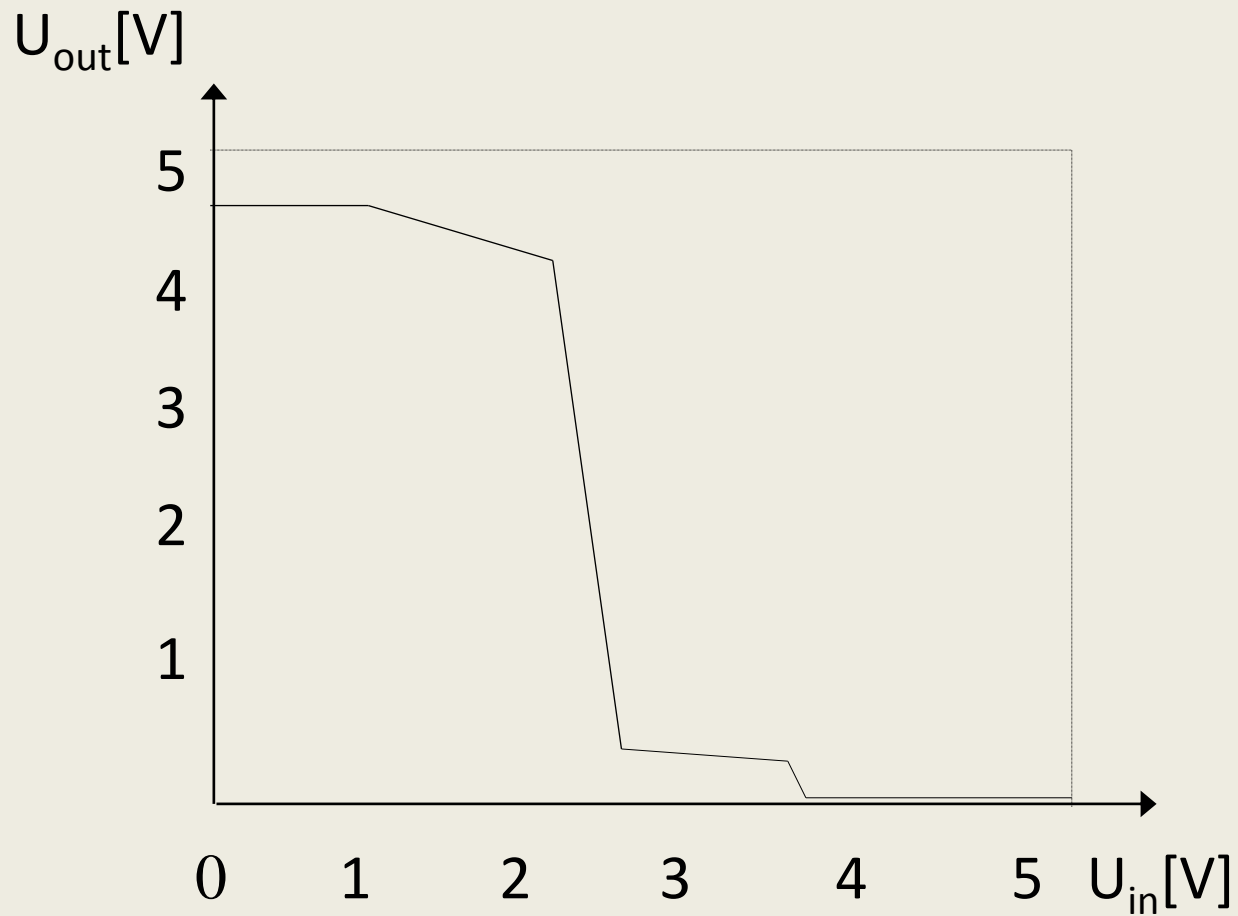
## BiCMOS структури

- Оптимизирани варианти на BiCMOS инвертор /безрезисторни структури, практически схеми/



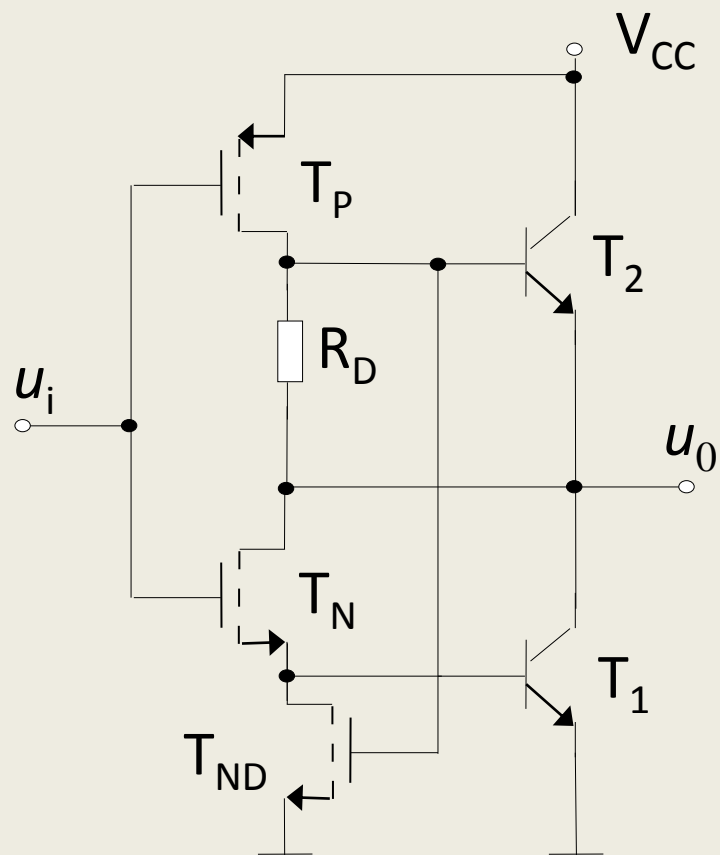
## BiCMOS структури

- Оптимизиран вариант на BiCMOS инвертор – примерна ПХ



## BiCMOS структури

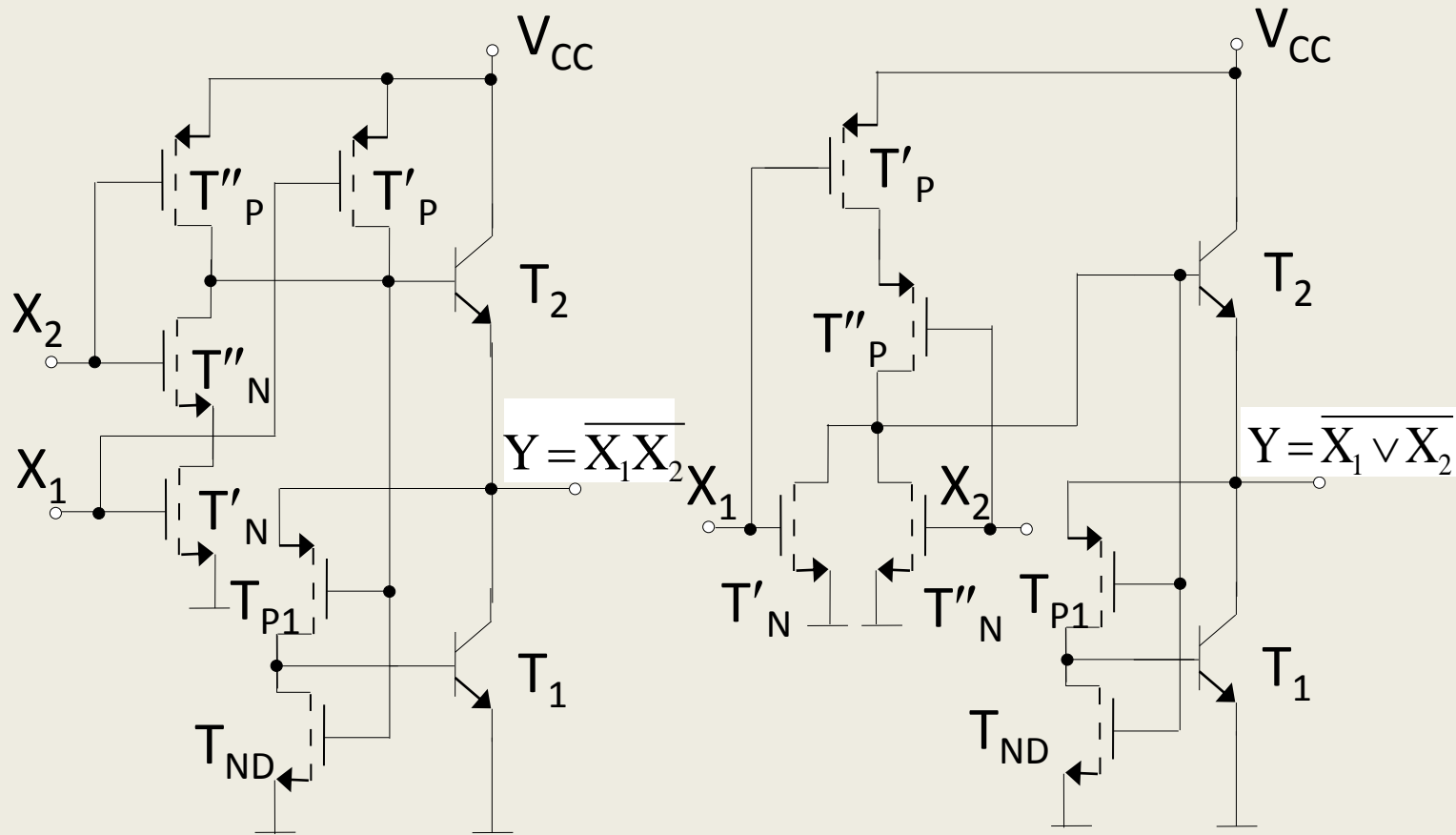
- BiCMOS інвертор с підвищена вихідна амплітуда





# BiCMOS структури

## ■ Базови BiCMOS логически схеми



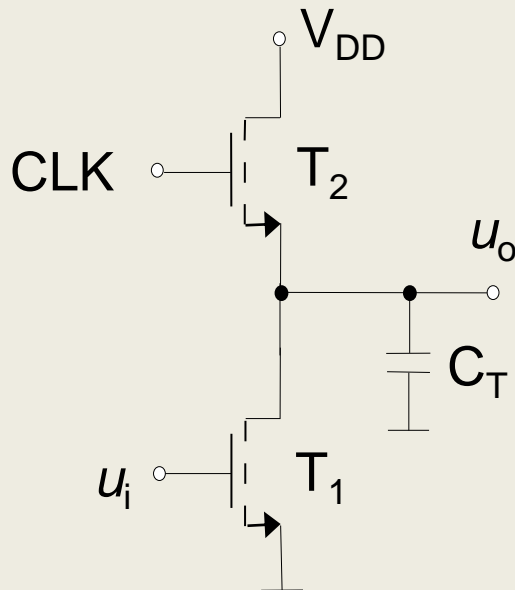
И-НЕ

ИЛИ-НЕ

## Динамични MOS схеми

- Цел – намаляване на динамичната консумация. Схемите да консумират мощност от захр.източник само по време на такт. импулс, в останалото време (паузата) информацията в изхода да се пази поради високия  $C_T$  – (на свързаните MOS транзистори);
- Паузата между импулсите – достатъчно дълга при транзистори с високо входно съпротивление (съвременни MOS структури с poly-Si гейт).

### Квазистатичен инвертор



Схемата е „с отношение“, т.е.  
 $(W/L)_A \gg (W/L)_L$ .

Квазистатичност:

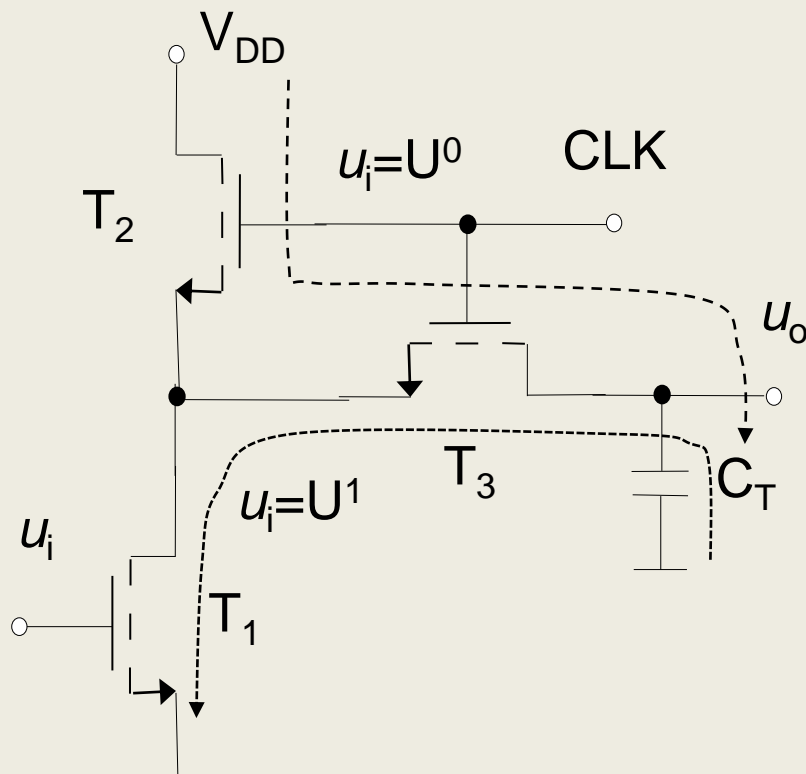
$$U^1 = V_{DD} - V_{TN}$$

$u_o = U^0$  – при наличие на импулс

$u_o = 0$  – при липса на импулс.

## Динамични MOS схеми

### Еднотактен динамичен инвертор “с отношение”



▪  $u_o$  се снима през допълнителен разделителен транзистор ( $T_3$ ) – осигурява пътищата за заряд/разряд на  $C_T$ :

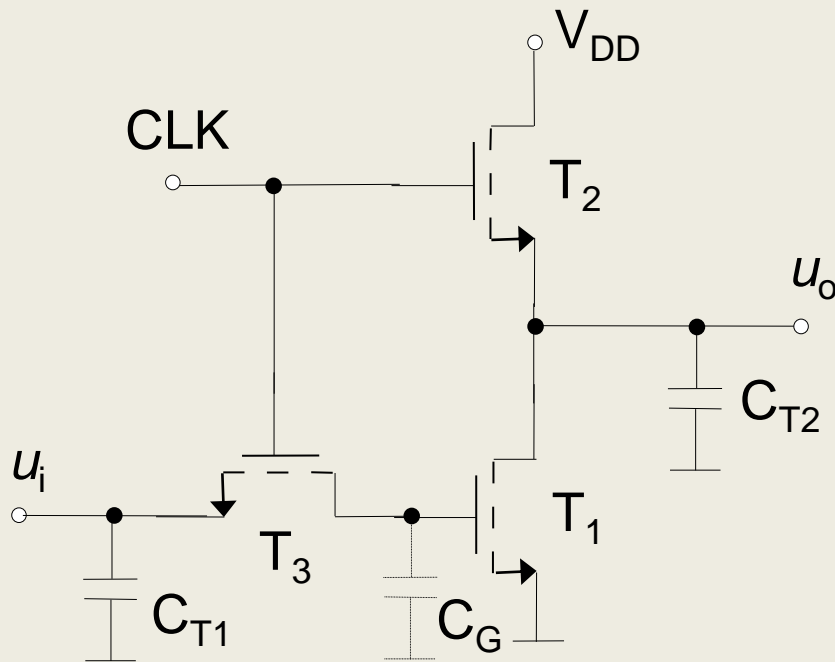
→  $u_i = U^0$  ( $T_1$  зап.) и наличен импулс  $C_T$  се зарежда до  $U_{OUT}^1$  през веригата  $V_{DD}-T_2-T_3$ -маса (утечка през  $T_3$ );

→  $u_i = U^1$  и подаден импулс  $C_T$  се разрежда по веригата  $T_3-T_1$ -маса.

!  $T_3$  – осигурява двупосочен път (както в ПЕ). Следва да има ниско съпротивление.

## Динамични MOS схеми

### Еднотактен динамичен инвертор “без отношение”



- $T_3$  на входа на схемата;
- $C_{T1}$  - товарен капацитет на предходното стъпало (аналог. -  $C_{T2}$ );
- ! Отместени една спрямо друга тактови поредици за две със.схеми.

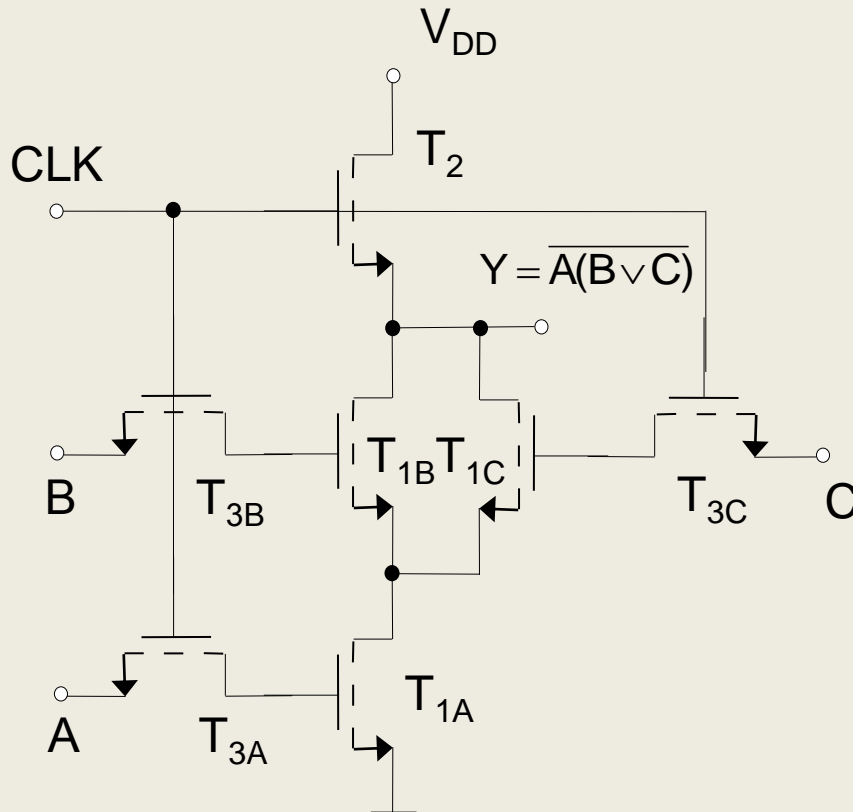
#### Действие:

→  $u_i = U^0$  и  $CLK = „1“$   $T_2$  се отпушва,  $C_{T2}$  се зарежда до  $U_{OUT}^1$ ;

→  $u_i = U^1$  и  $CLK = „1“$  зарядът върху  $C_{T1}$  се преразпределя през  $T_3$  към  $C_G$  и при напрежение върху него, по-високо от  $V_T$ ,  $T_1$  се отпушва, осигурявайки път за разряда на  $C_{T2}$  и в изхода на схемата  $u_o = U^0$ .

## Динамични MOS схеми

### Реализация на логически схеми на база еднотактен динамичен инвертор “без отношение”

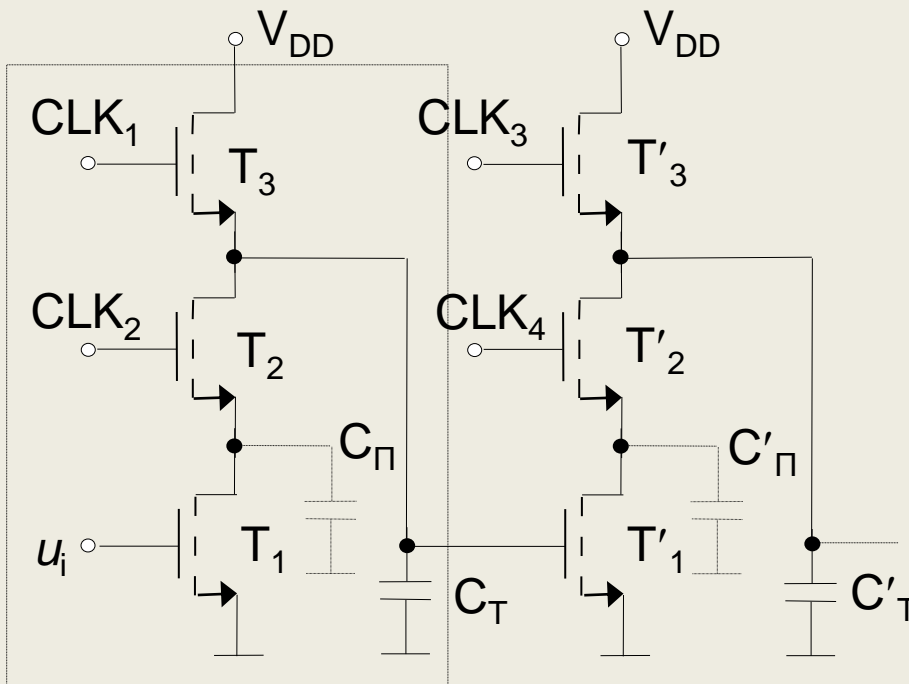


- на всеки вход - отделен разделителен транзистор ( $T_3$ );
- общ за цялата схема товарен транзистор  $T_2$  ;
- тактов импулс - едновременно към гейтовете на товарния и на всички разделителни транзистори

## Динамични MOS схеми

### Двухактен динамичен инвертор

(показани са две съседни схеми)



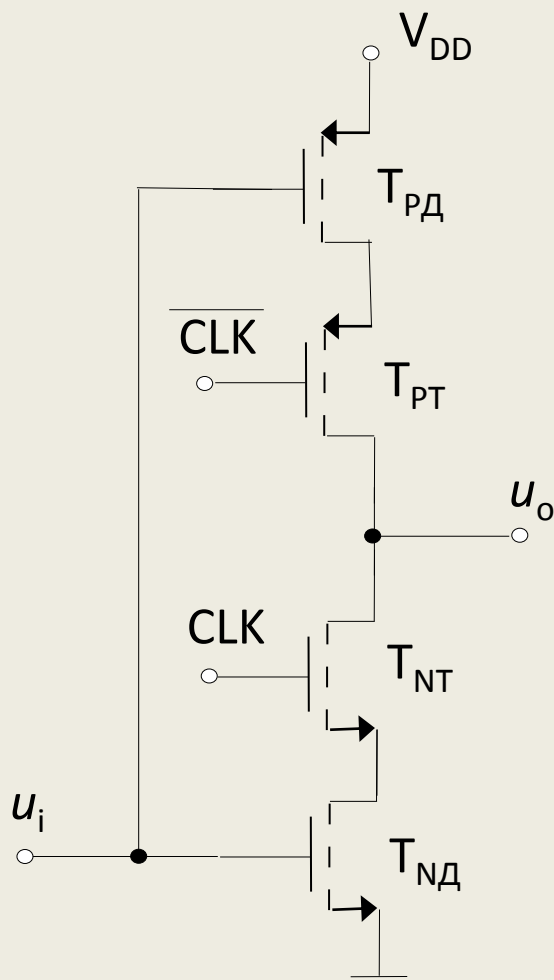
**Управление** – от две импулсни (незастъпващи се) тактови поредици  $CLK_1$  и  $CLK_2$ ;

**Консумация** от захр.източник - само при зареждане  $C_T$  (веригата  $V_{DD}$ -маса е винаги прекъсната).

**Действие:**

- при  $CLK_1 = „1“$ ,  $C_T$  се зарежда до  $U^1$ , което състояние се запазва при  $CLK_2 = „1“$  ако  $u_i = U^0$  ( $T_1$  зап.). При  $u_i = U^1$  ( $T_1$  отп.) и при  $CLK_2 = „1“$  изходният капацитет се разрежда до нула през  $T_2$ - $T_1$  ( $T_3$  е запущен).

## Динамични C<sup>2</sup>MOS структури (clocked CMOS)

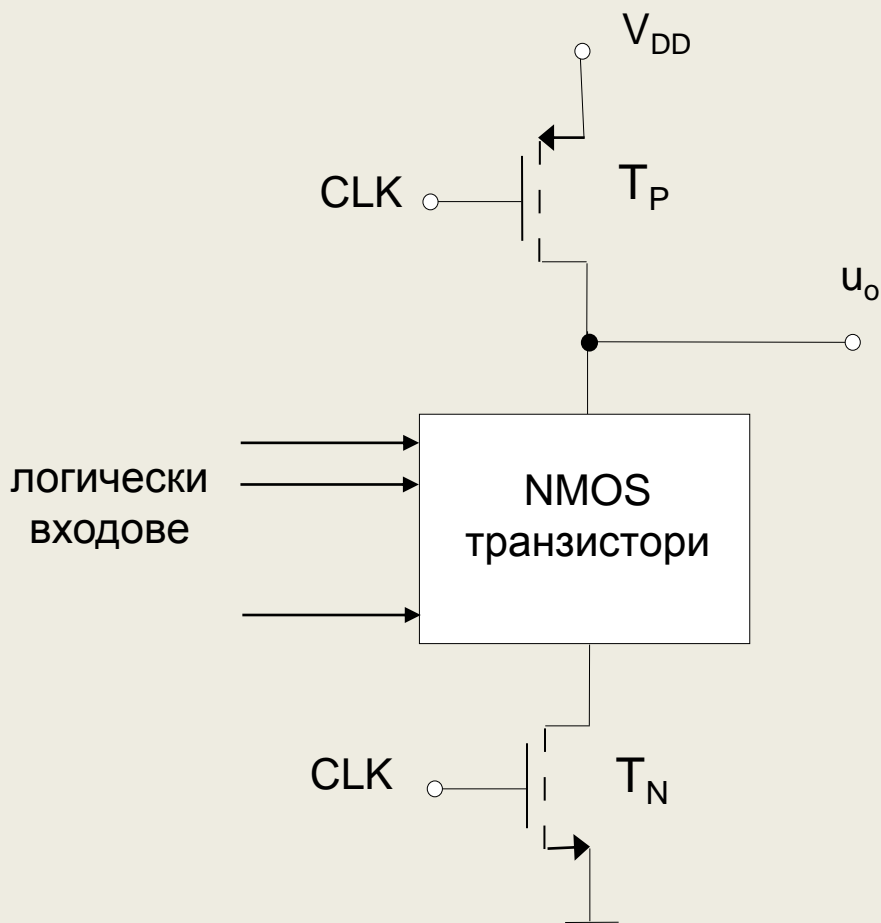


$T_{NT}, T_{PT}$  - “тактувани” транзистори  
(включени директно към изхода)

Предимство - състоянието в изхода е достъпно (валидно) *през цялото време*: както при наличие, така и при липса на тактов импулс.

Приложение - при преместващи регистри (при тях товар на всяка секция е входният капацитет на следващата такава).

## Precharge-evaluation (P-E) CMOS динамични структури



Две функционални фази:

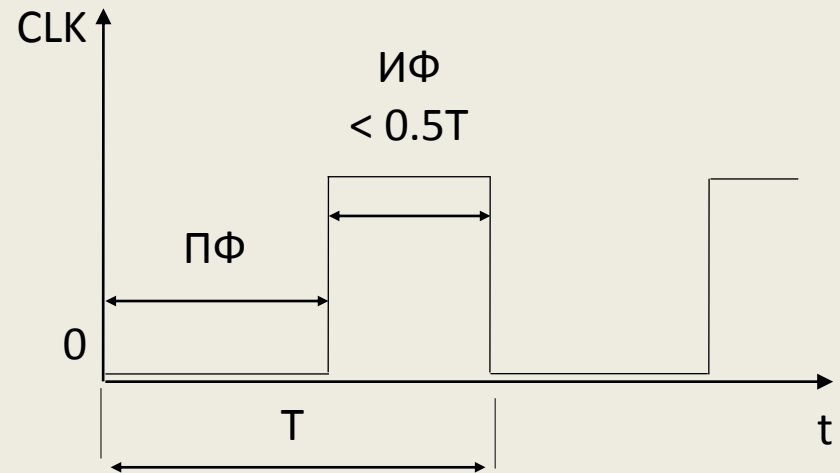
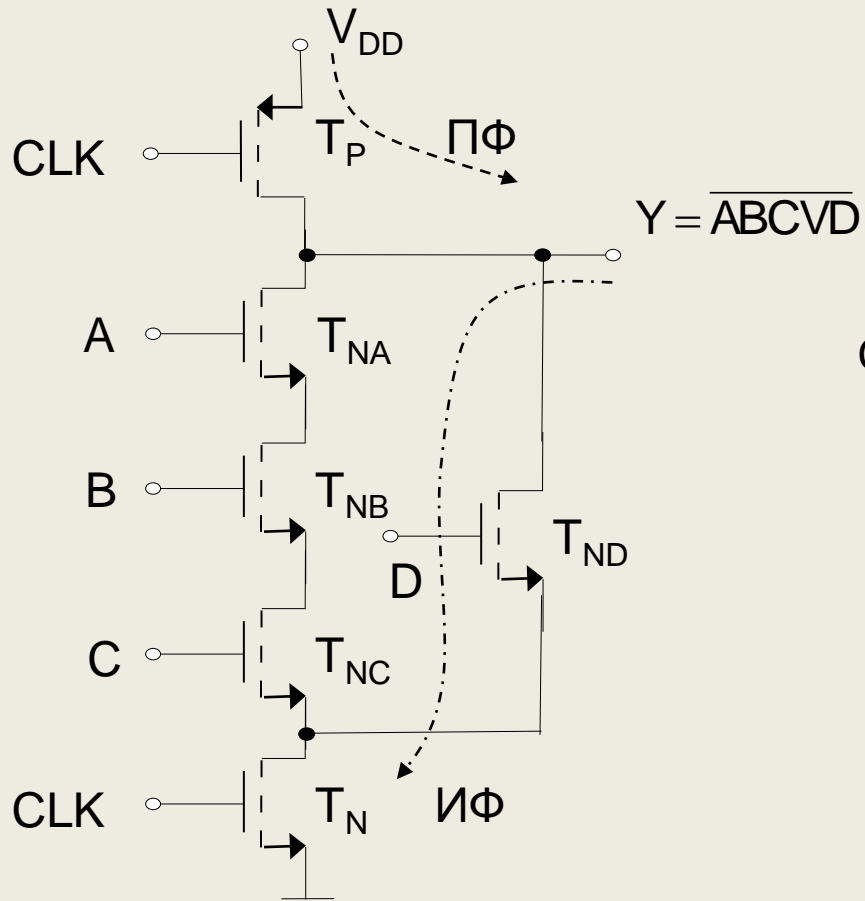
- подготвителна (*precharge*, ПФ): при ниско ниво на CLK;
- изчислителна (*evaluation*, ИФ): при високо ниво на CLK;

Особености: при ПФ ( $T_N$  зап.,  $T_P$  отп.)  $U_{OUT} \rightarrow high$ ; в ИФ изходът се разрежда до  $U^0$  или се установява в  $U^1$  в зависимост от логическата структура на схемата.

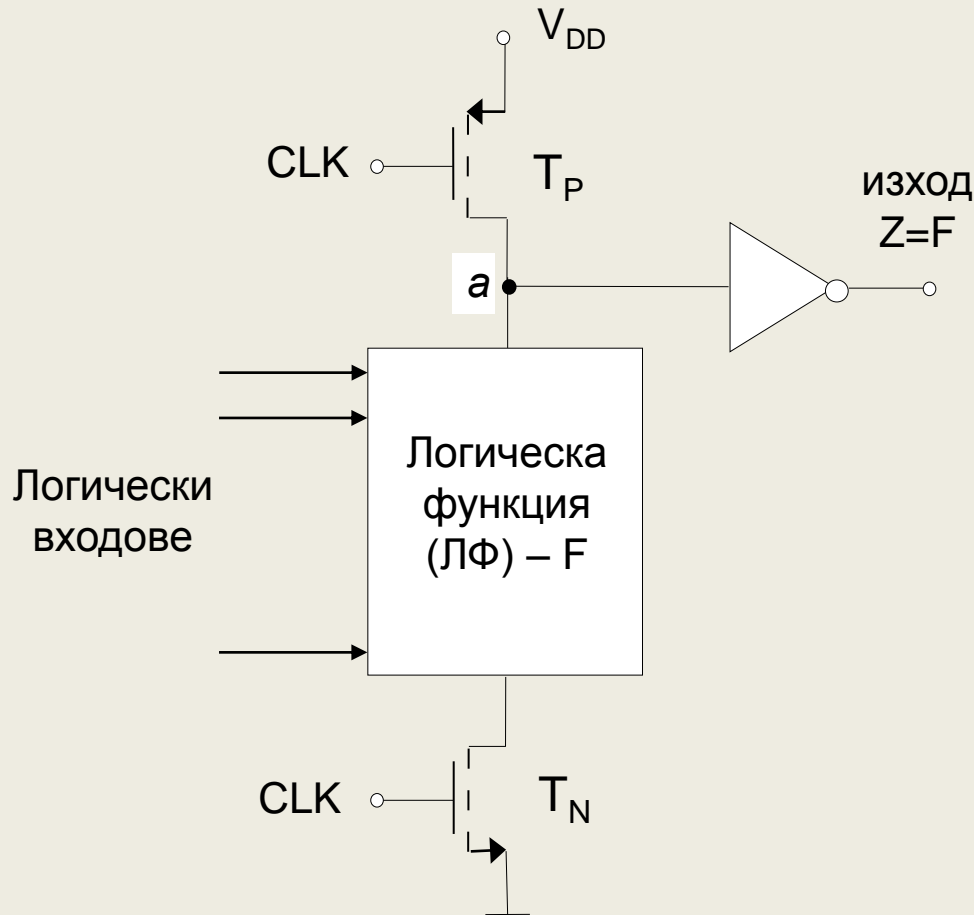
!Изходът на схемата е логически валиден само по време на ИФ.



## P-E CMOS логически схеми



## “Домино” CMOS структури



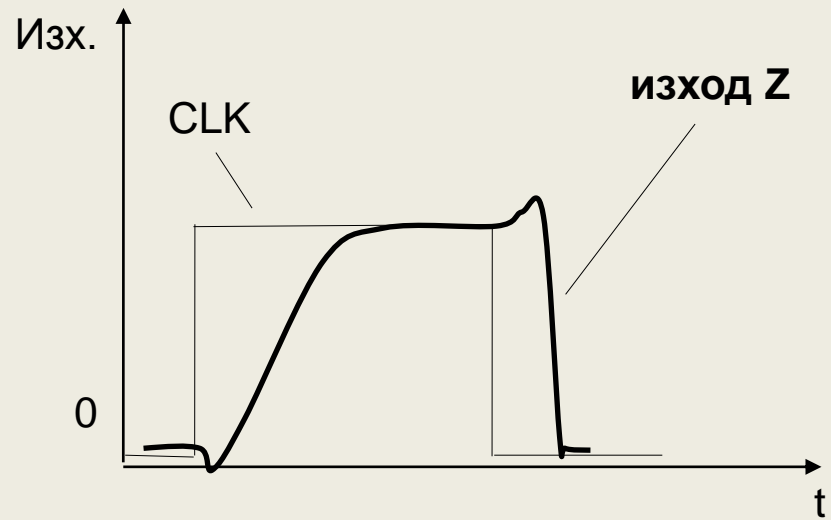
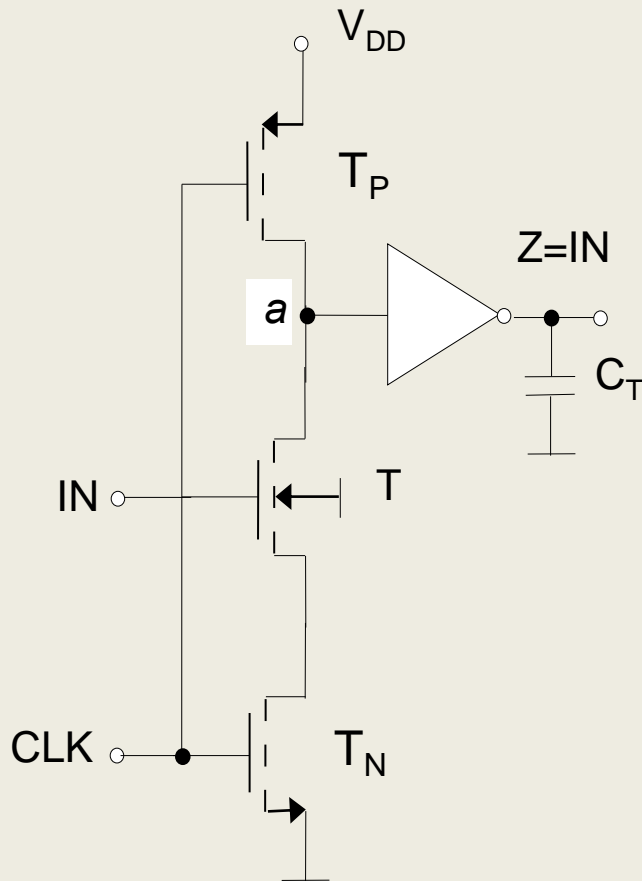
Вариант на P-E структурите  
При CLK="0"  $\rightarrow$  Z="0" (ПФ).

$C_a$  се разрежда до 0 ( $T_N$  отп.)  
при F="1" (Z="1") и се  
запазва при F="0" (Z="0").

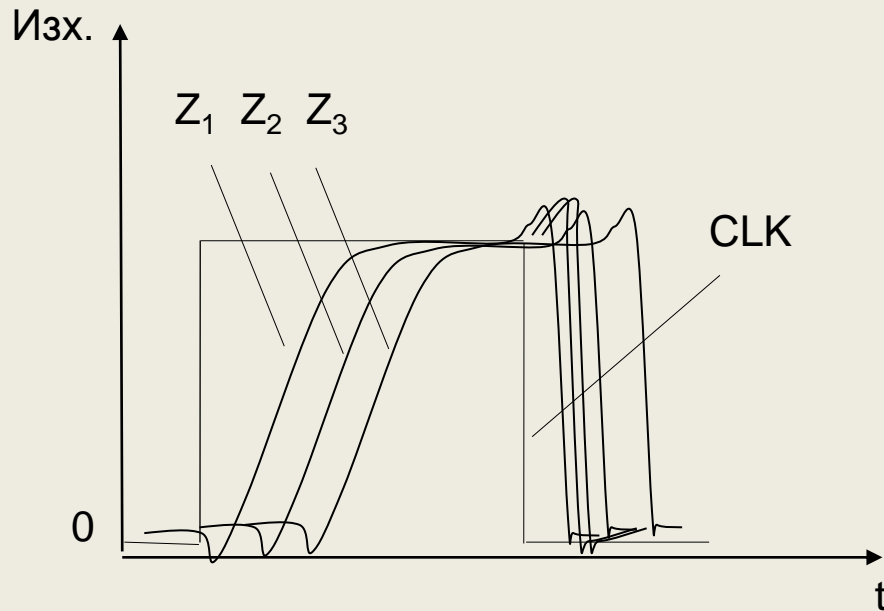
!Изходът на една „домино“  
ЛС извършва преходи само  
от 0  $\rightarrow$  1 в началото на ИФ

# “Домино” CMOS структури

(прикладна схема – повторител, ВД в виході)



## “Домино” CMOS структури (каскадно свързани схеми)



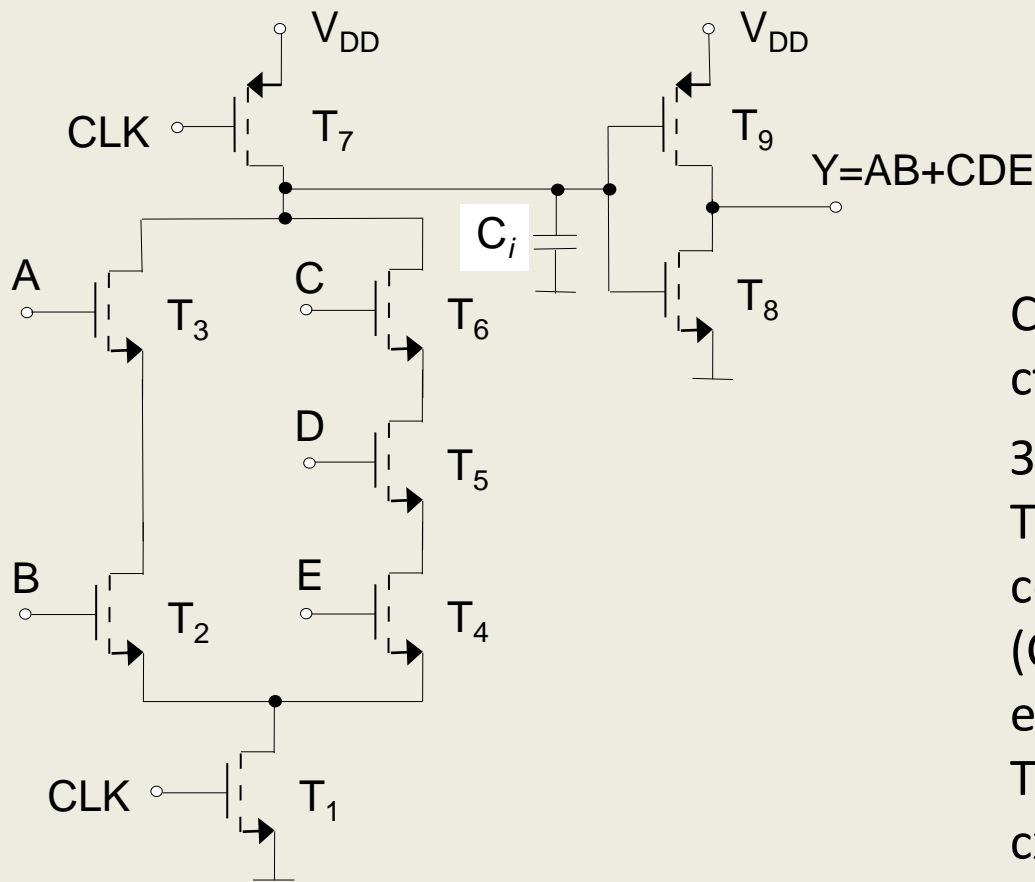
! Входните сигнали към „домино“ ЛС от други схеми, трябва да са стабилни по време на ИФ. Тъй като изходът на всяко стъпало извършва преход само от 0→1,

ВД при каскадно свързване на няколко повторителя наподобява поредица падащи домино-плочки.

След прекратяване на CLK, изходите на всички стъпала се установяват едновременно в нула.

## “Домино” CMOS структури – приложения

### □ Логически схеми

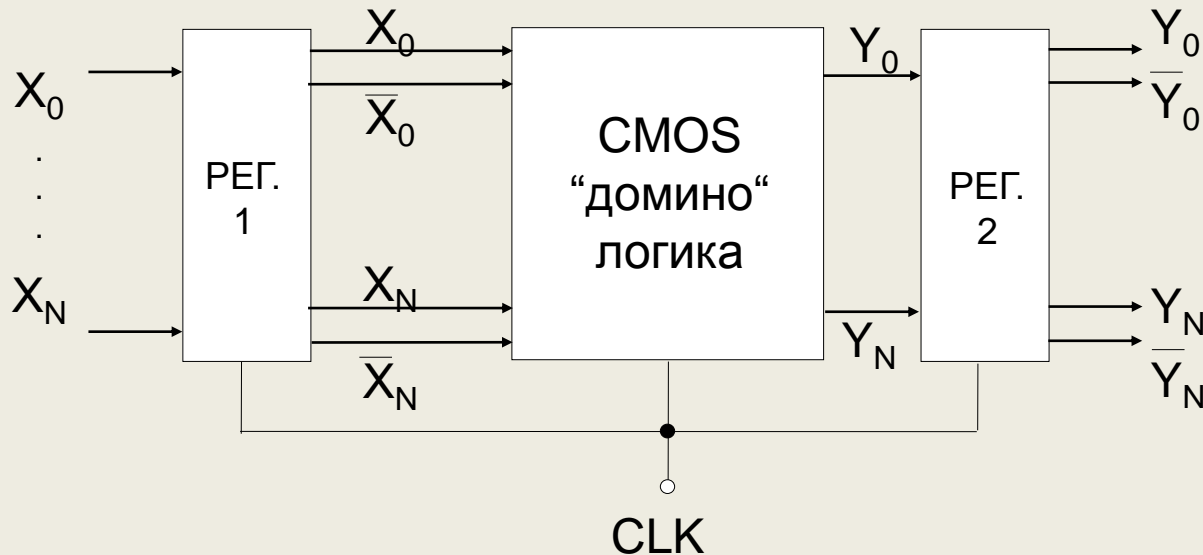


$C_i$  - товарен за основната структура;

Зарежда се през отпушения  $T_7$  в ПФ (CLK=„0“). Може да се разрези по време на ИФ (CLK=„1“) само при едновременно отпушени  $T_2, T_3 / T_4, T_5, T_6 \rightarrow$  изходът на схемата ще се установи „1“.

## “Домино” CMOS структури – приложения

### □ Регистров пренос (трансфер) на данни



“Домино” структури:

- Предимство: само един PMOS транзистор, независимо от сложността на ЛФ;
- Недостатък: НЕ образуват функционално пълен логически базис (не реализират директно инверсия);
- Приложение: при конвейрна обработка (регистров трансфер) на данни.