

# **ЦИФРОВА СХЕМОТЕХНИКА**

## **ЛЕКЦИЯ #9**

## Схемотехника на RAM полупроводникови памети (SRAM, DRAM)

**Оперативни запомнящи устройства (ОЗУ) – за текущо  
(оперативно) съхраняване на данни в КС**

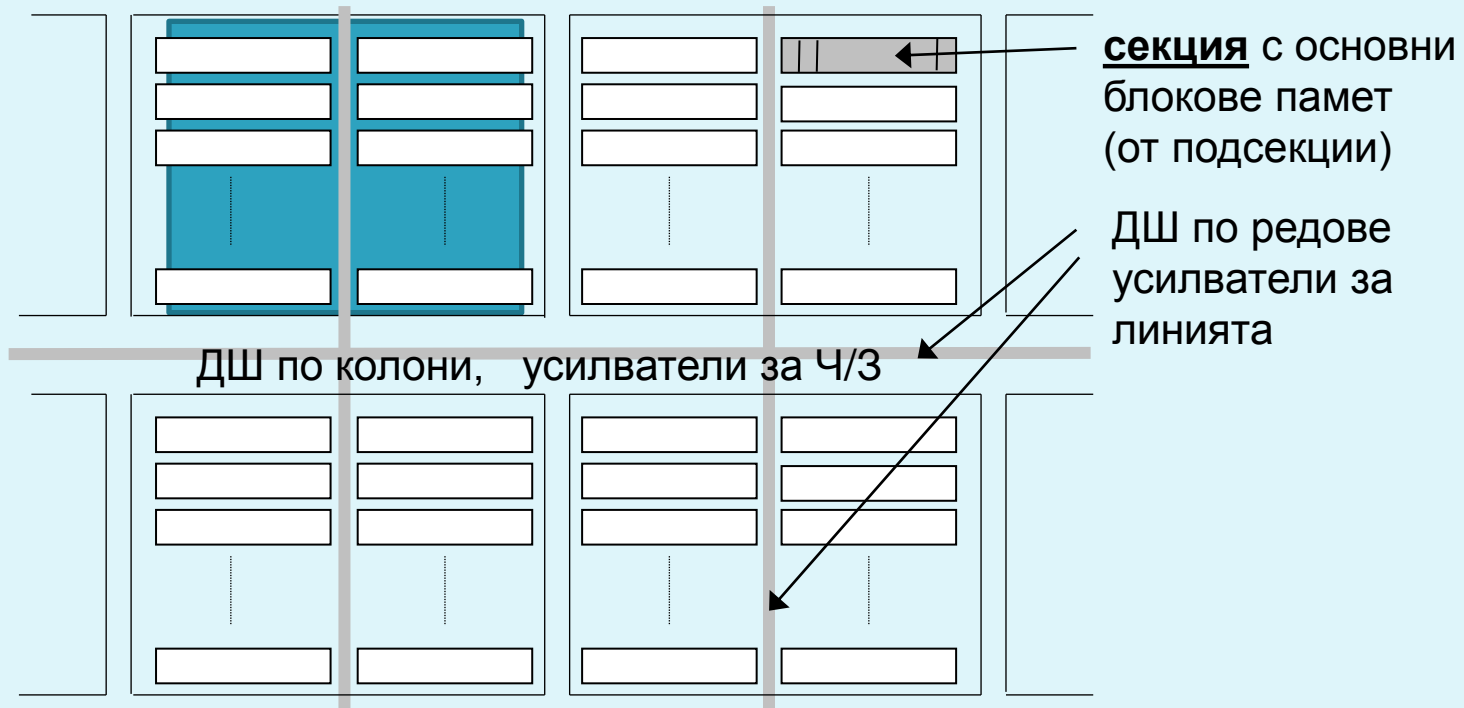
- **Статични - SRAM** (съхраняват данните при включено захранване към схемата): ЗК на база на тригерна структура (биполярна, MOS, CMOS);
- **Динамични - DRAM** (необходимо е “опресняване” за да се съхрани информацията): ЗК на база MOS структура и зап.капацитет ( $C_{зап}$ ), имат специфична схемотехника на ЗК.

Структура: матрица от ЗК, адресни дешифратори (АД-по редове и по колони), поддържащи схеми (усилватели за четене/запис и др.)

**Задачи:** (1) схемотехника на ЗК; (2) анализ на R/W – в структурата на ЗК и в цялата памет; (3) параметри; (4) предимства/недостатъци/приложение; (5) схемотехника на поддържащите схеми (ДТУ, АД-АР/АД-АК).

## Схемотехника на RAM полупроводникови памет Обща архитектура на запомняща матрица (ЗМ), състав

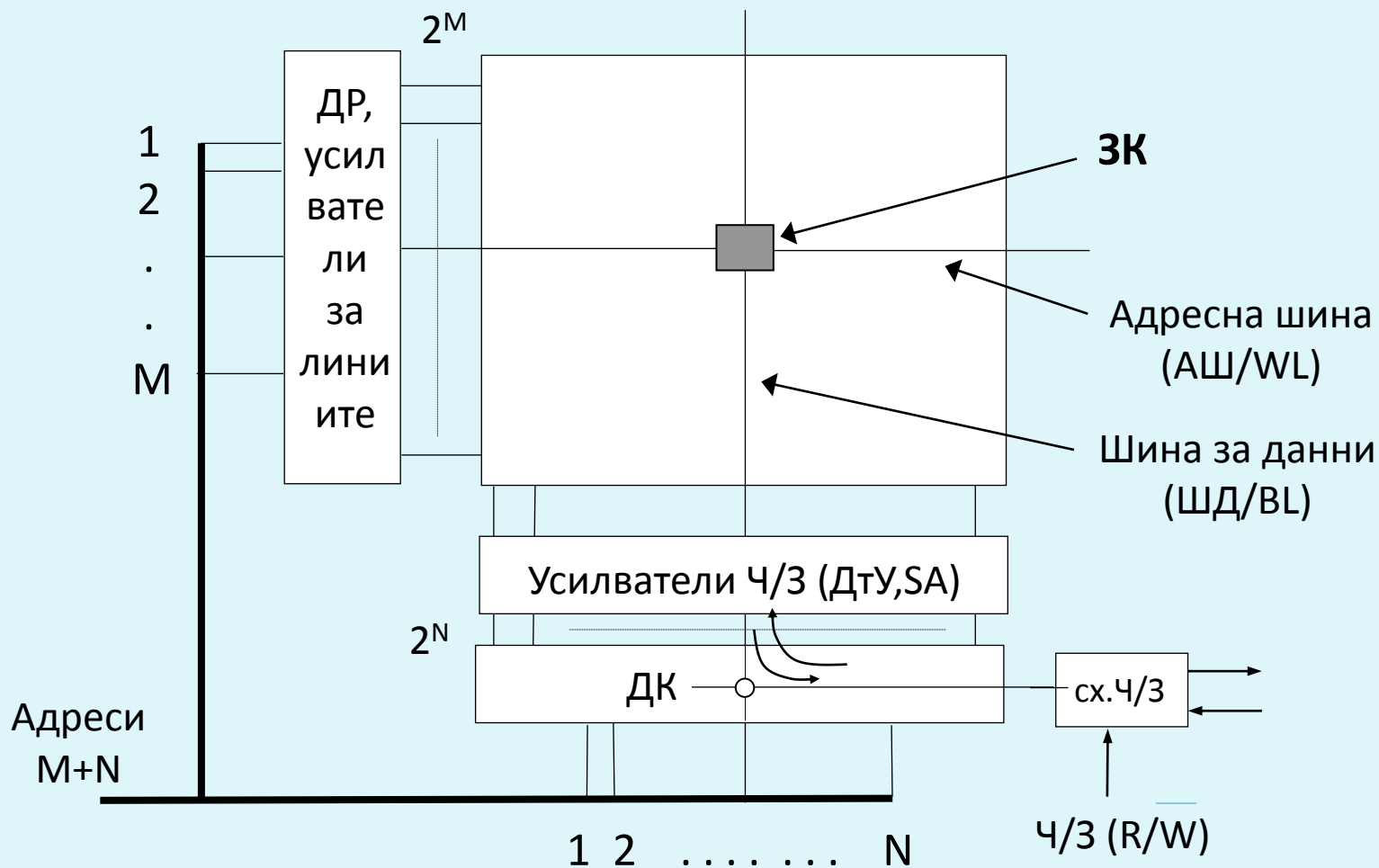
Област памет



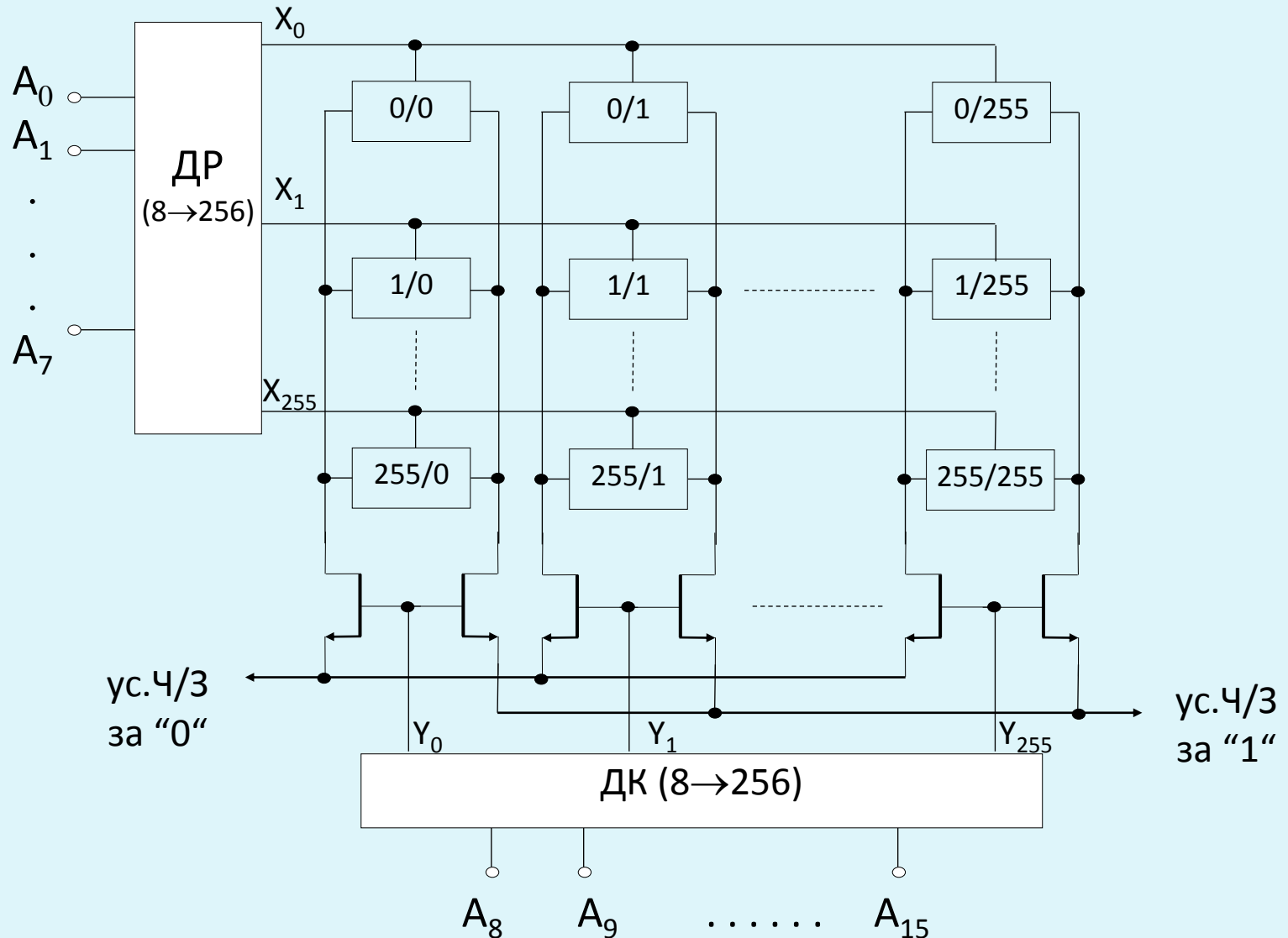
Пример: RAM с общ обем 256MB → 8(области)x32MB,  
всяка област → 16 (секции)x2MB → всяка секция → 16(подсекции)x128KB

# Схемотехника на RAM полупроводникови памети

## Адресация на ЗК, дешифриране на общия адрес, шини

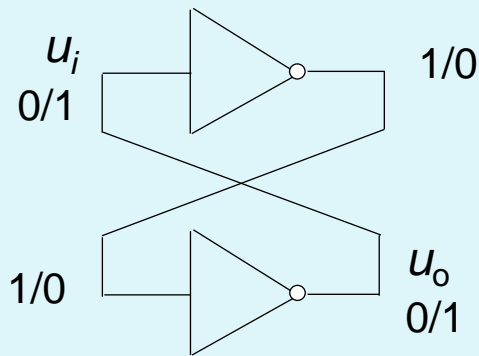


# Схемотехника на RAM полупроводникови памети SRAM 3М: примерна организация при обем на паметта 64Kx1b

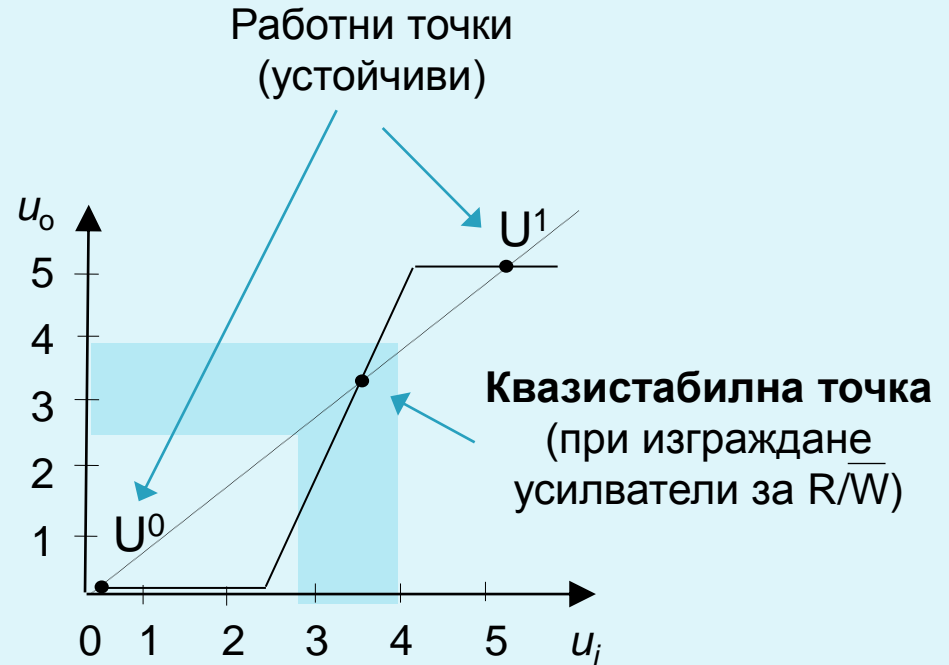


# Статични RAM - SRAM

## Схемотехника на основна клетка, ПХ

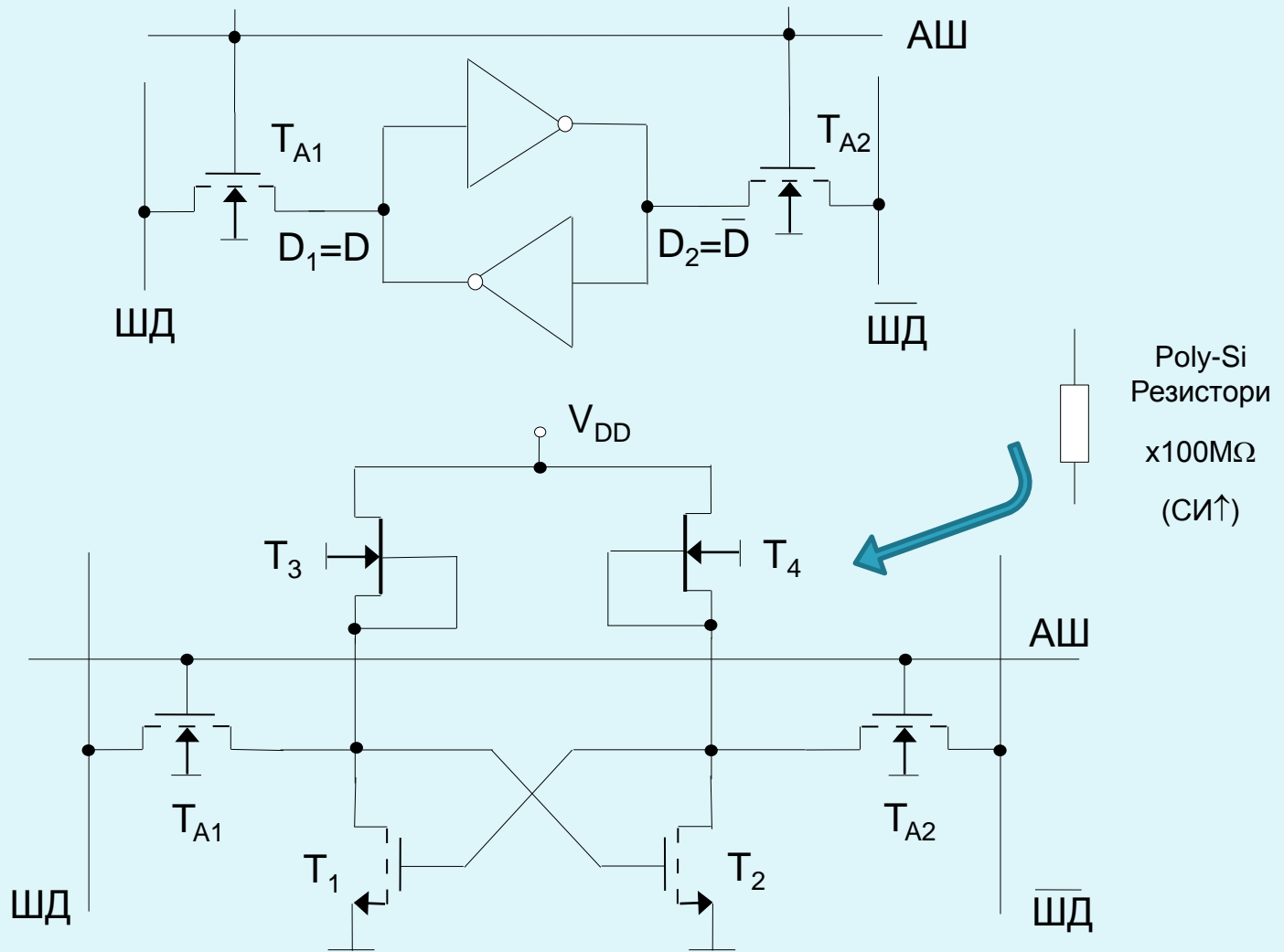


Latch (в устойчиво състояние)



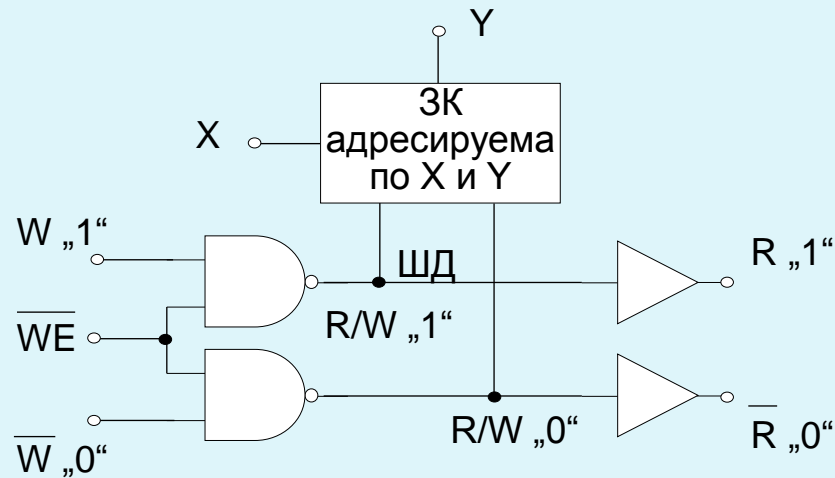
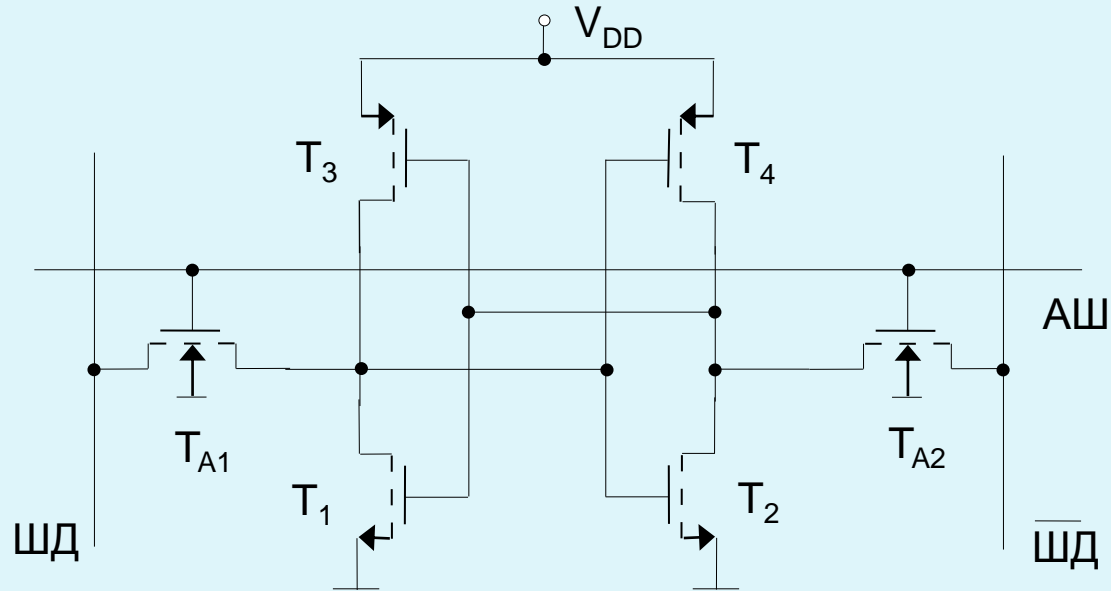
# SRAM

## 6-транзисторна схема: структура, схемотехника (NMOS)



# SRAM

## 6-транзисторна схема: схемотехника (CMOS), четене/запис от ЗК

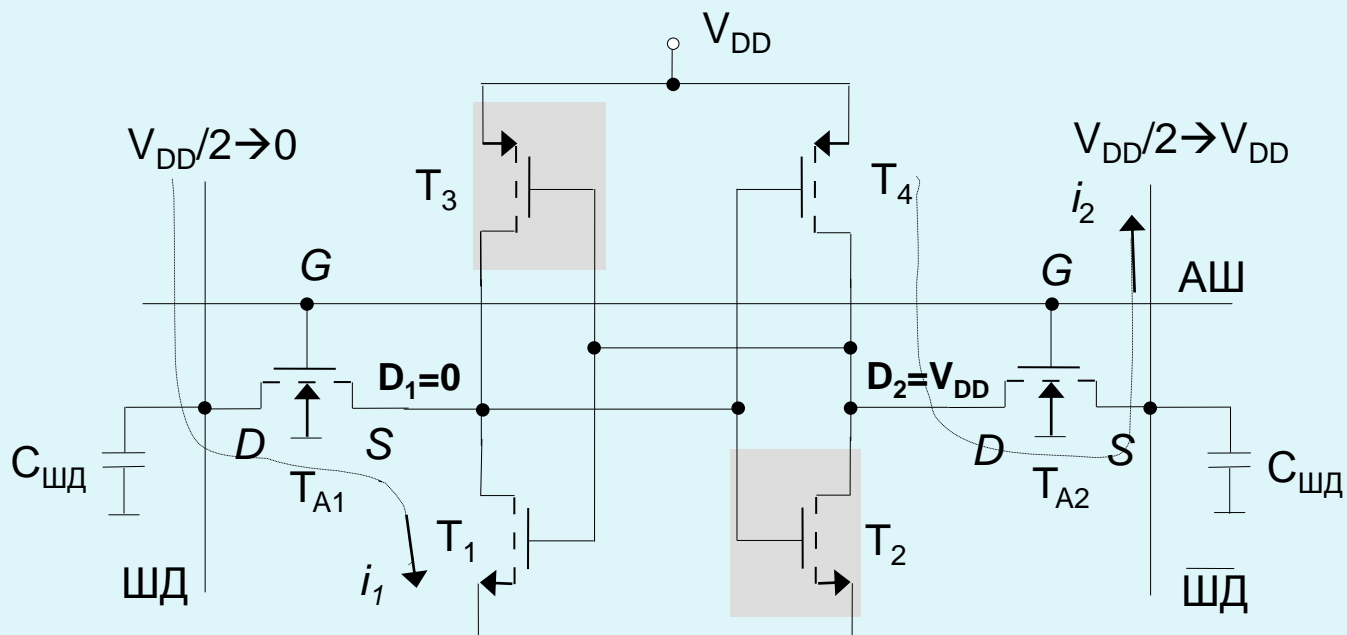


ШД (BL) →  
! една шина: за четене и за запис едновременно



# SRAM

## 6-T CMOS схема: четене



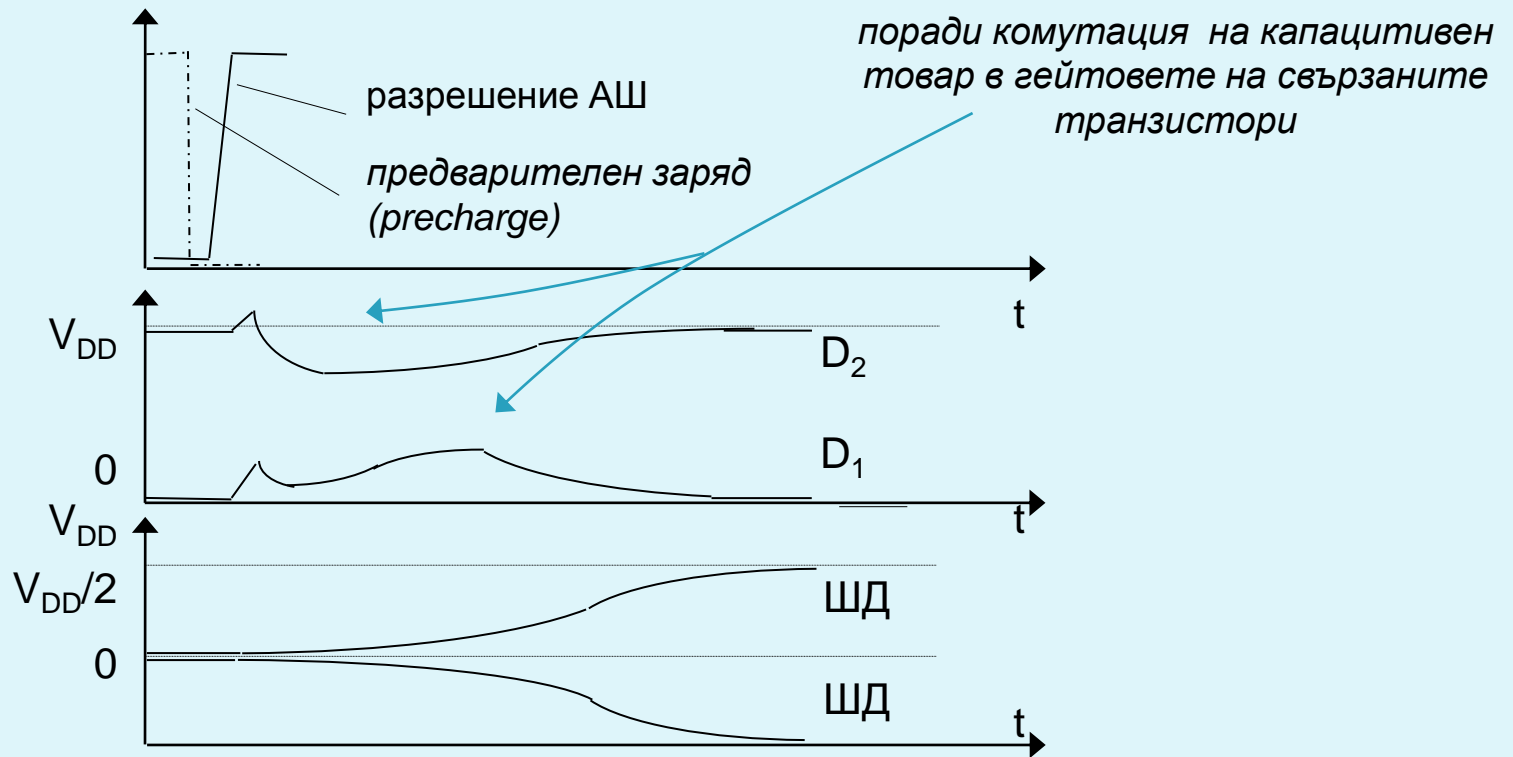
**! ШД (BL) – precharge до  $V_{DD}/2$**

$T_{A1} \rightarrow u_{DS} < u_{GS} - V_T$  (линеен. режим)

$T_{A2} \rightarrow u_{DS} = u_{GS}$  (ИТ-в насищане)

# SRAM

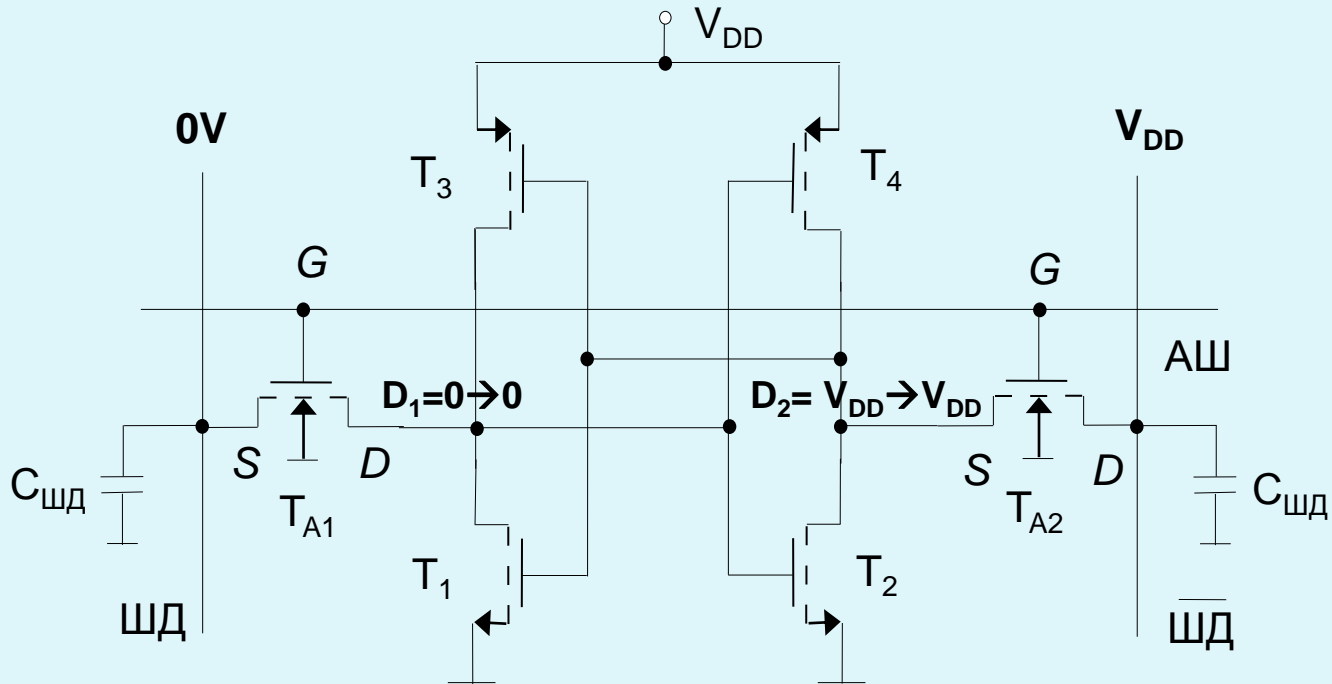
## 6-T CMOS схема: четене (ВД)



! Неразрушим процес на четене

# SRAM

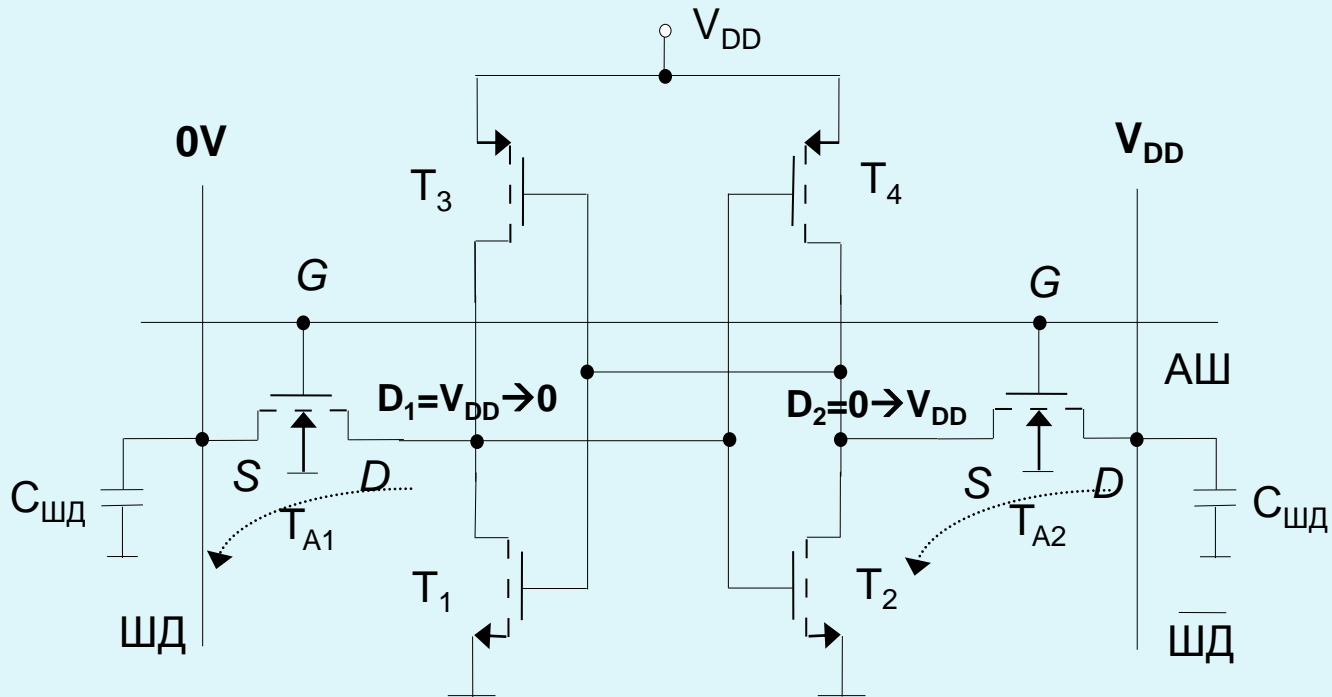
## 6-T CMOS схема: запис ( $U^0$ при налична $U^0$ )



без промяна: не протичат токове на презаряд

# SRAM

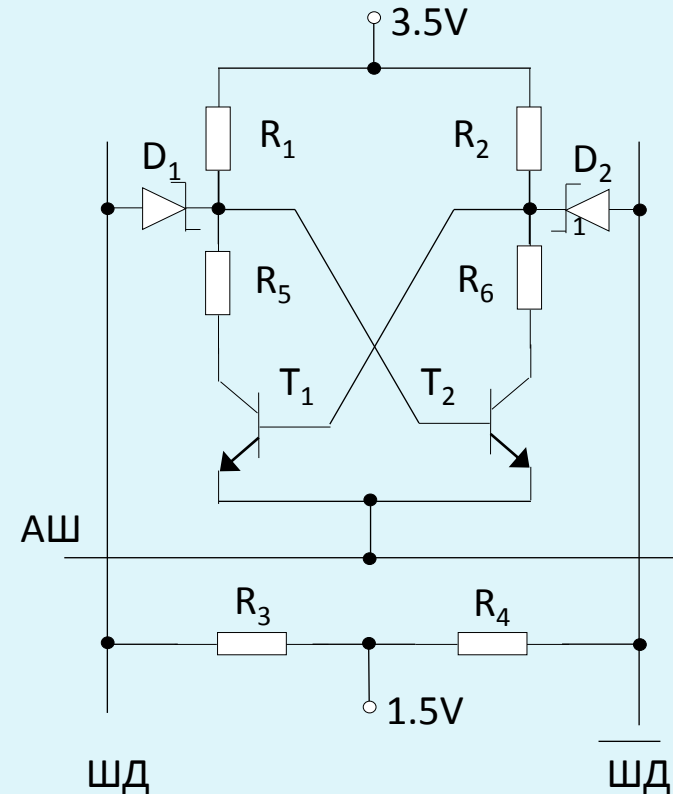
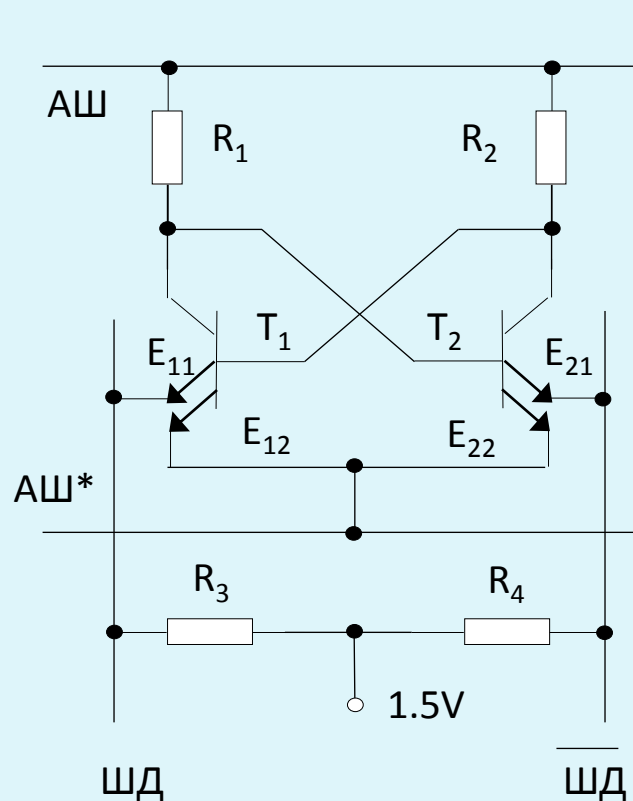
## 6-T CMOS схема: запис ( $U^0$ при налична $U^1$ )



$T_{A1}, T_{A2} \rightarrow u_{DS} = u_{GS}$  (ИТ)

$U_{D1} \downarrow, U_{D2} \uparrow$  - развитие на ПОВ при  $U_{D1} < U_{D2}$

## Биполярни SRAM 3К – с двумитерни транзистори, с Шотки диоди

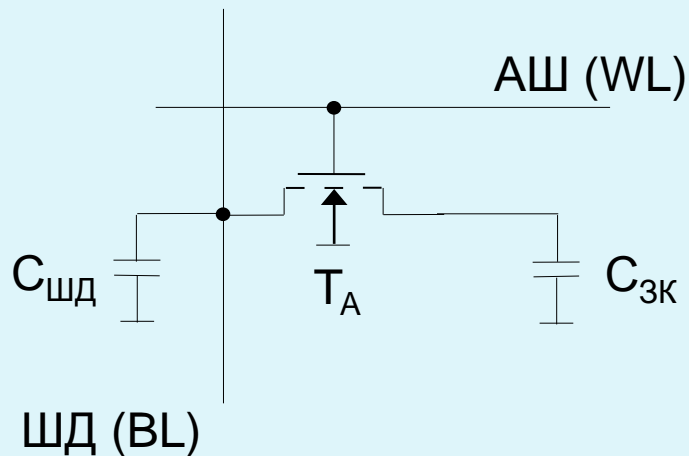


- ❑ двустепенен процес на адресация: (1) един цял ред → запис в регистър (2) избор на 3К от регистъра;
- ❑ режими: **R/W, установен (standby)** → различни напрежения на АШ, АШ\*:  $u(1)=4.3V$  /  $u^*(1)=2.0V$   
 $u(0)=1.3V$  /  $u^*(0)=0.3V$  (намалява се консумацията);
- запис "0": АШ- $u(1)$ ,  $u^*(1)$ , ШД (емитера  $E_{11}$ ) – "0" → ток през  $T_1$ ,  $u_{CT1} \downarrow$ ,  $T_2$  се запущва. Връщане в установен режим -  $u(0)$ ,  $u^*(0)$ , ШД=1.5V.  $T_1$  остава отпушен с базов ток през  $R_2$ ,  $T_2$  остава запущен (ниска стойност на напр. в АШ в установен режим).
- запис "1": АШ- $u(1)$ ,  $u^*(1)$ , ШД (емитера  $E_{11}$ ) – "1", (емитера  $E_{21}$ ) – "0" – аналогично:  $T_2$  отп.,  $T_1$  зап.

# Динамични памети – DRAM

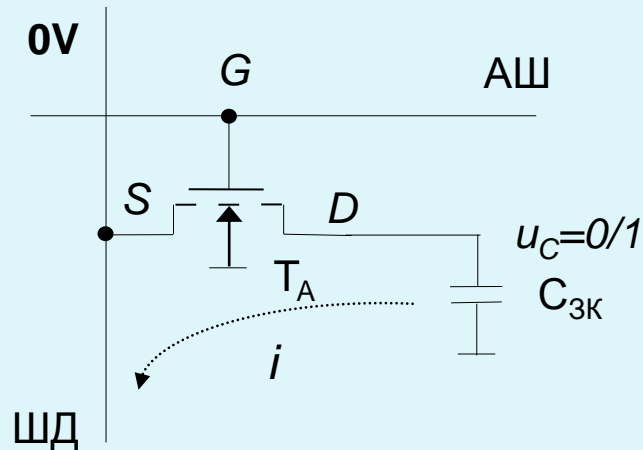
## Еднотранзисторна ЗК (1-T DRAM) – особености, схемотехника

- Робърт Денард (1970 г., IBM)
- Минимална заемана площ (висока СИ);
- Утечни токове – необходимост от регенерация ( $2ms \dots 10ms \uparrow$ );
- Специални конструкции за увеличаване на  $C_{ЗК}$ .

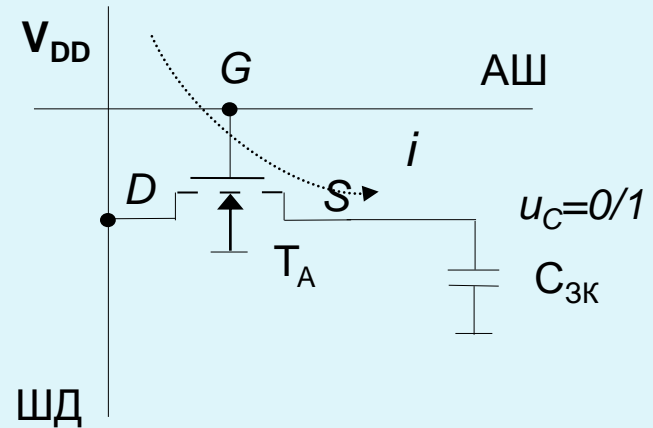


# Динамични памети

## 1-T DRAM – запис на информация (“0”, “1”) в 3К



- ШД → 0V : (1)  $u_C = "0"$ ,  $U_{DS} = 0$ ,  $i = 0$ ;  
 (2)  $u_C = "1"$  ( $u_C > 0$ ), разряд на С през  $T_A$  до 0V;



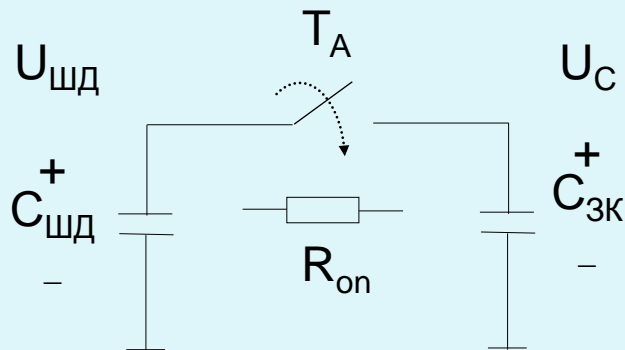
- ШД →  $V_{DD}$ : (1)  $u_C = "1"$ ,  $U_{DS} = 0$ ,  $i = 0$ ;  
 (2)  $u_C = 0$  ( $u_C < V_{DD}$ ) заряд на  $C_{ЗК}$  до  $u_C = V_{DD} - V_T$ ;  
 $u_{SB} = u_C > 0 \rightarrow U^1 \downarrow$

$$U_C = U^1 = U_G - V_{TN} = U_G - \left[ V_{T0} + \gamma \left( \sqrt{U_C + 2\phi_T} - \sqrt{2\phi_T} \right) \right]$$

## Динамични памети

### 1-T DRAM – четене на информация от ЗК, модел

- предварително зареждане на ШД до  $V_{DD}/2$  (най-често);
- преразпределение на заряда Q между ШД и ЗК (посока: в зависимост от записаната преди това информация в ЗК) до напрежение  $U_K$  в края на процеса;



$$Q_H = C_{\text{шд}} \cdot U_{\text{шд}} + C_{\text{зк}} \cdot U_C \text{ - в началото}$$

$$Q_K = (C_{\text{шд}} + C_{\text{зк}}) \cdot U_K \text{ - в края}$$

$$U_K = \frac{C_{\text{шд}} U_{\text{шд}} + C_{\text{зк}} U_C}{C_{\text{шд}} + C_{\text{зк}}}$$

$$\Delta U = U_K - U_{\text{шд}} = \frac{U_C - U_{\text{шд}}}{1 + C_{\text{шд}}/C_{\text{зк}}}$$

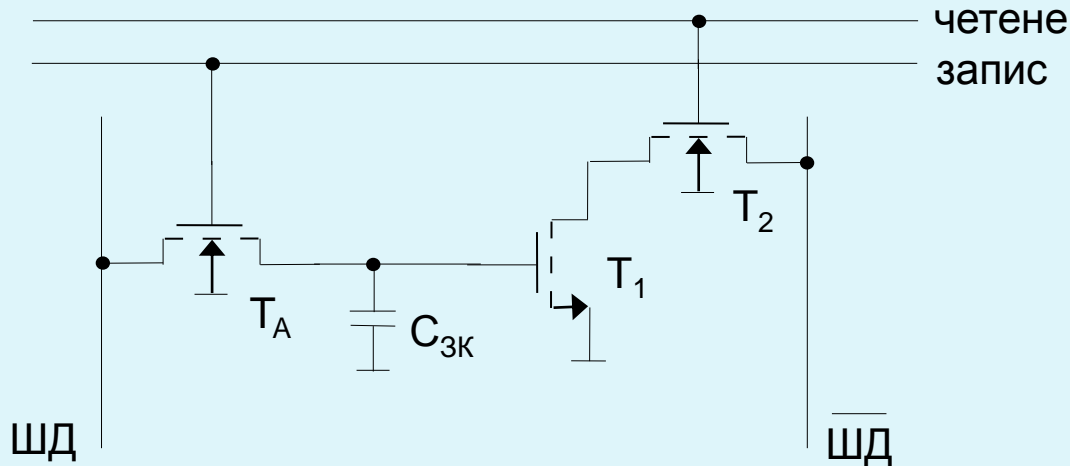
$C_{\text{шд}} \gg C_{\text{зк}} \rightarrow \Delta U \downarrow$  - **неблагоприятно**, налага специални изисквания към ДТУ (усилвателите за R/W)

Разрушаващ процес на четене – необходима е регенерация!



## Динамични памети

### Тритранзисторна (3-T) DRAM: схемотехника



$T_A$  - транзистор за достъп.

- при  $U_c = U^1 \approx V_{DD} \rightarrow T_1$  отпушен;

- при  $U_c = U^0 = 0 \rightarrow T_1$  запущен,

Достъп през  $T_2$ . Чете информация, обратна на стойността на  $C_{3K}$  ;

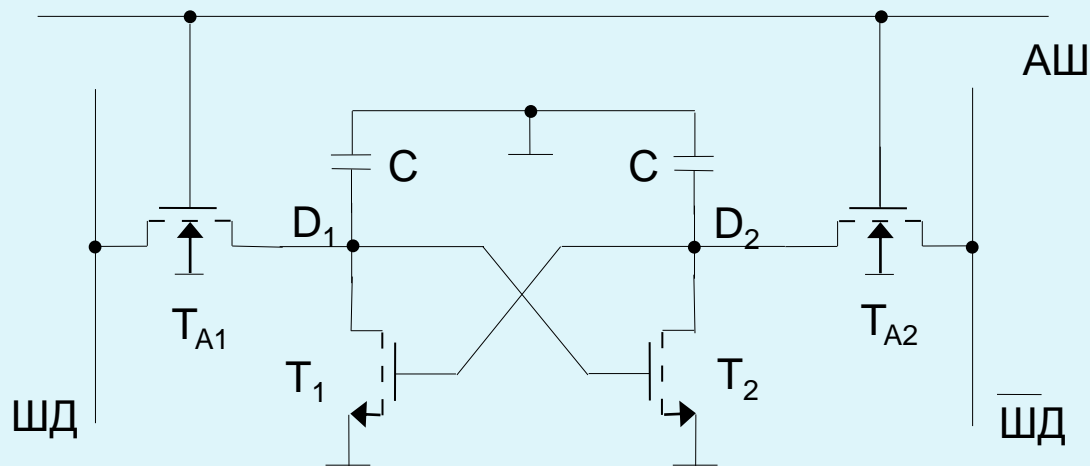
Отделни шини за четене и за запис (могат да се обединят);

Значителна утечка на  $C_{3K}$  през  $T_A$  – регенерация;

! неразрушимо четене ( $T_1$ ).

## Динамични памети

### Четиритранзисторна (4-T) DRAM: схемотехника



Малко време за достъп: 3К на база структура с ПОВ (както при SRAM).

! Лесна регенерация: ШД/ШД се свързват едновременно към  $V_{DD}$ .

**Запис** → в точки  $D_1/D_2$  се установява през съответната ШД:

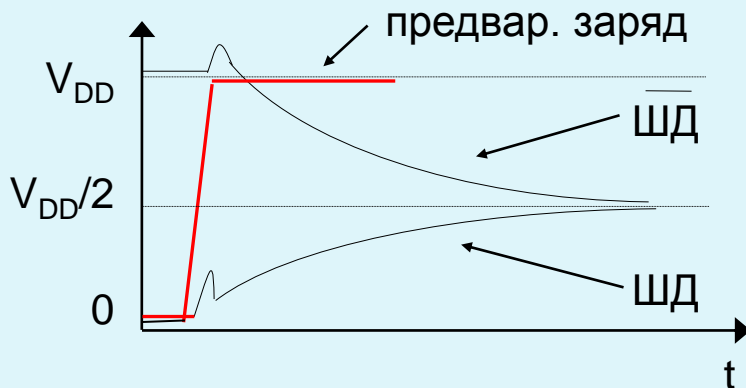
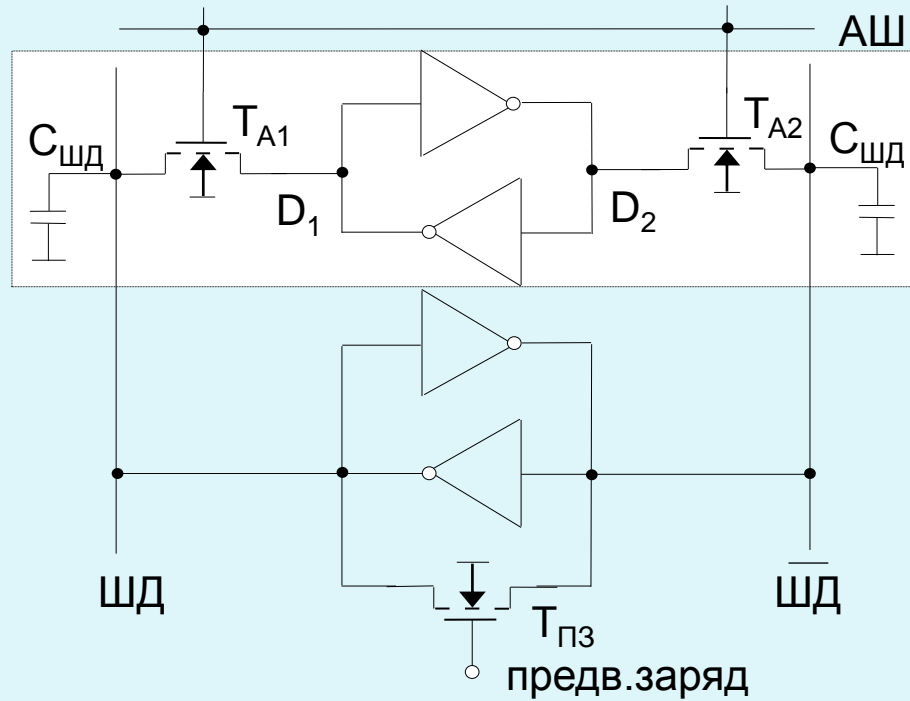
$$U^0=0V, U^1=V_{DD}-V_T.$$

**Четене** → Предварителен *precharge* на двете ШД до  $V_{DD}/2$ .

Преразпределение на заряда от  $U_{D1}=U^1=V_{DD}-V_T$  до  $V_{DD}/2$  и от  $U_{D2}=U^0$  до  $V_{DD}/2$  (опасност от отпушване на  $T_1$ ).

## Полупроводникови памети

### Поддържащи схеми – детекторни усилватели (ДТУ), SRAM с ДТУ, ВД

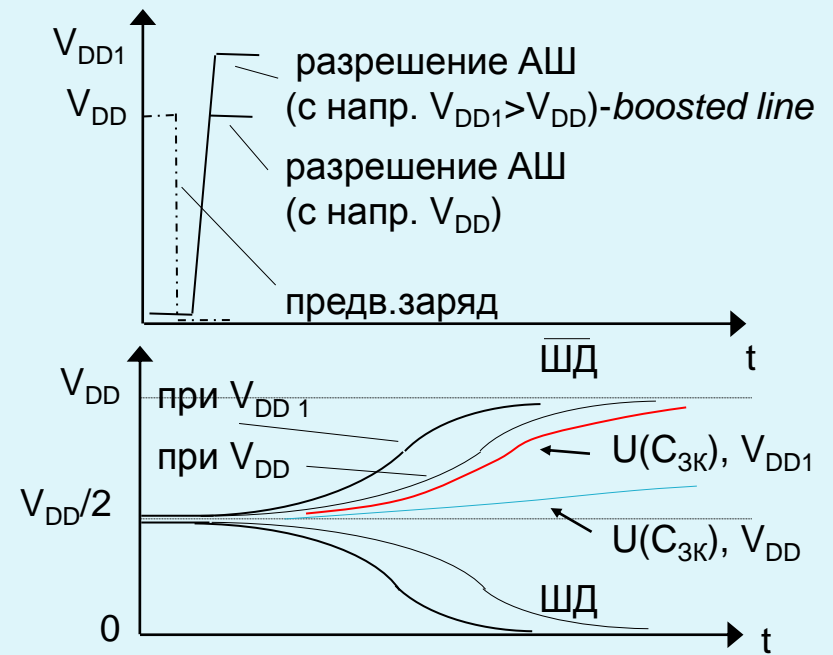
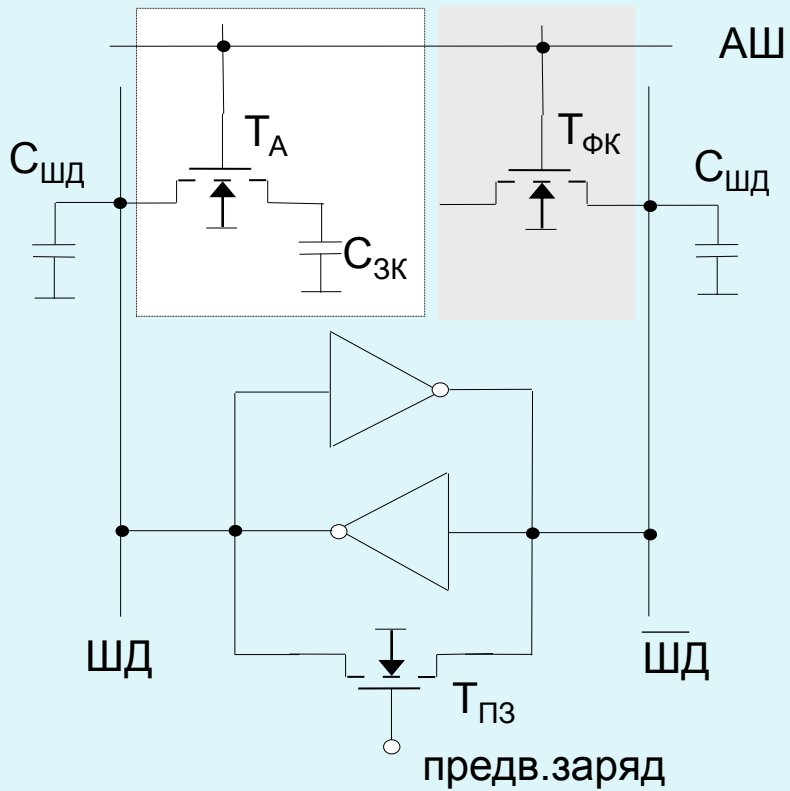


$C_{шд} \approx 500-200\text{fF}$ ,  $W/L=50$  (типово);

Достигане в двата възела на ДТУ на равни напрежения  $\rightarrow 15-8\text{ns}$ .

# Полупроводникови памети

## Структура на DRAM с ДтУ, ВД

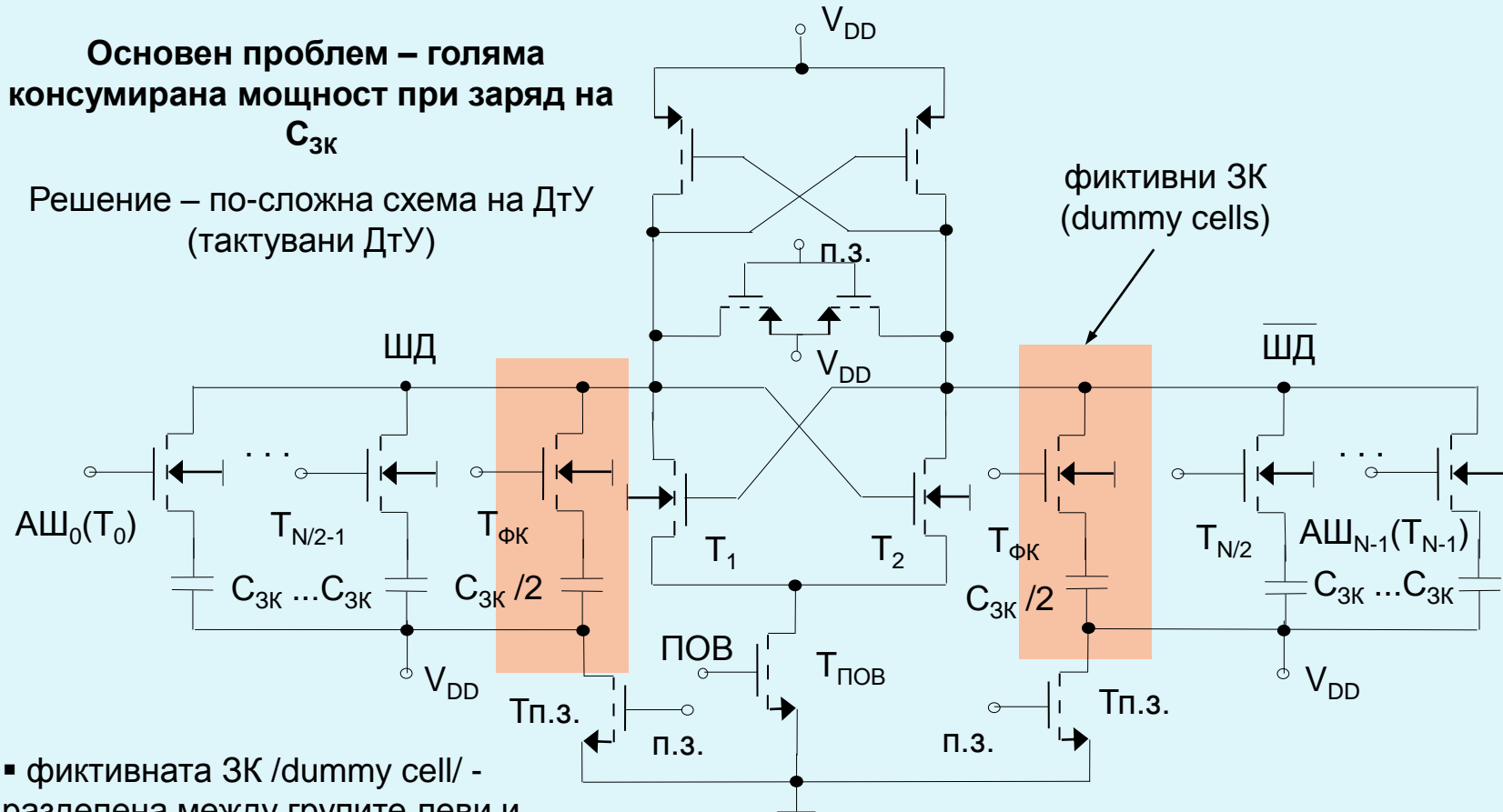


# Полупроводникови памети

## 1-T DRAM с компенсация на заряда (тактуван ДТУ)

Основен проблем – голяма консумирана мощност при заряд на  $C_{3К}$

Решение – по-сложна схема на ДТУ (тактувани ДТУ)

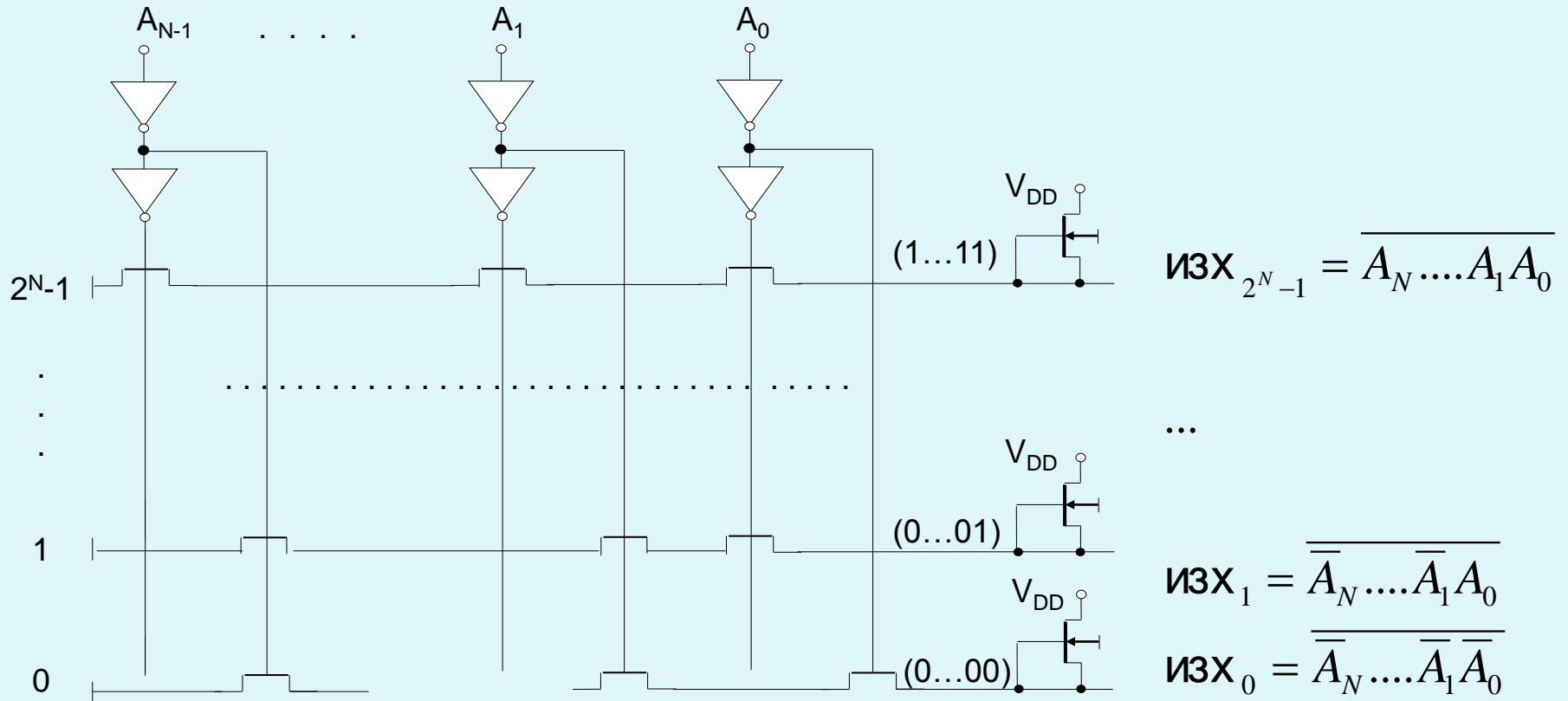


- фиктивната 3К /dummy cell/ - разделена между групите леви и десни 3К;
- предварителен заряд – п.з.=high, шините за данни се зареждат до  $V_{DD}/2$  при ПОВ=low

# Полупроводникови памети

Поддържащи (периферни) схеми: реализация на АД (нетактувани)

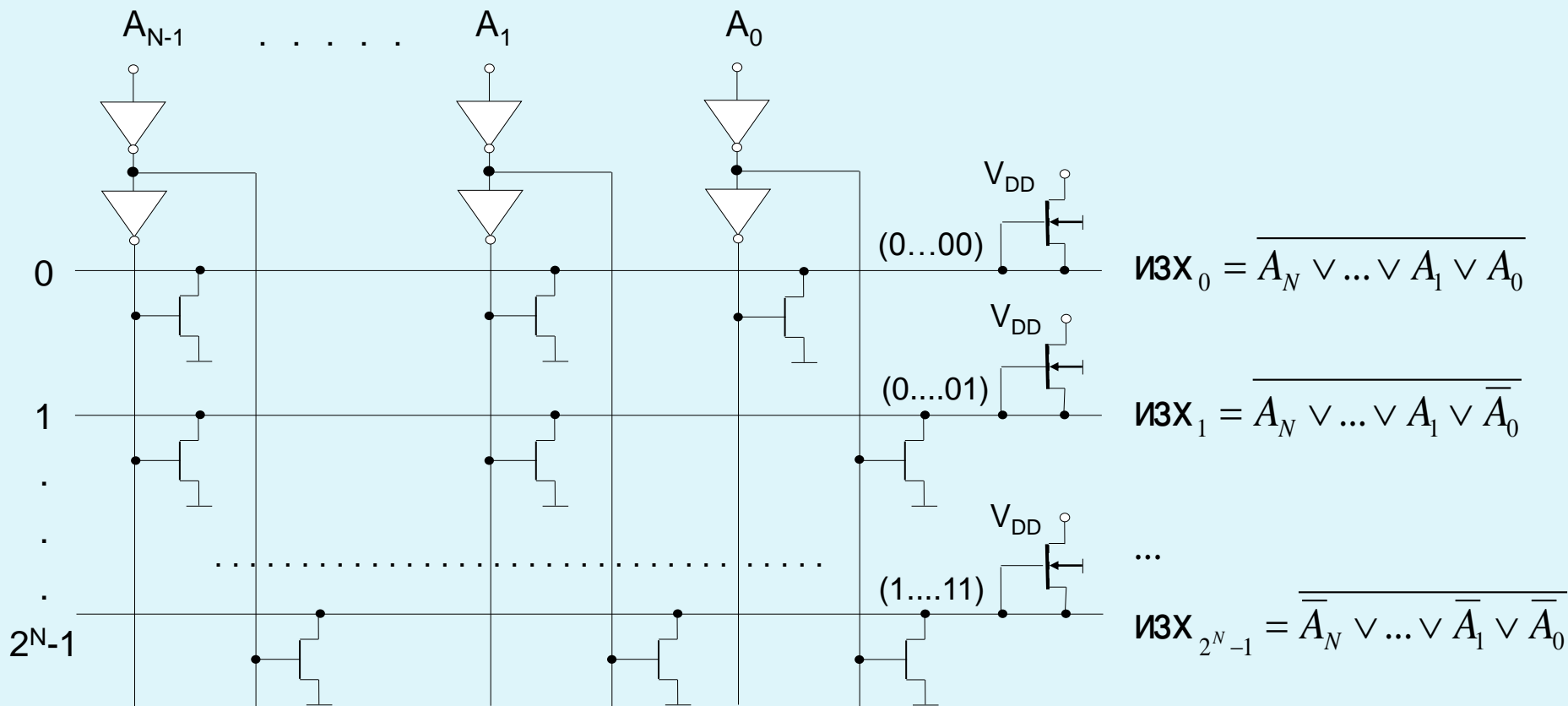
Класическа NAND структура



## Полупроводникови памети

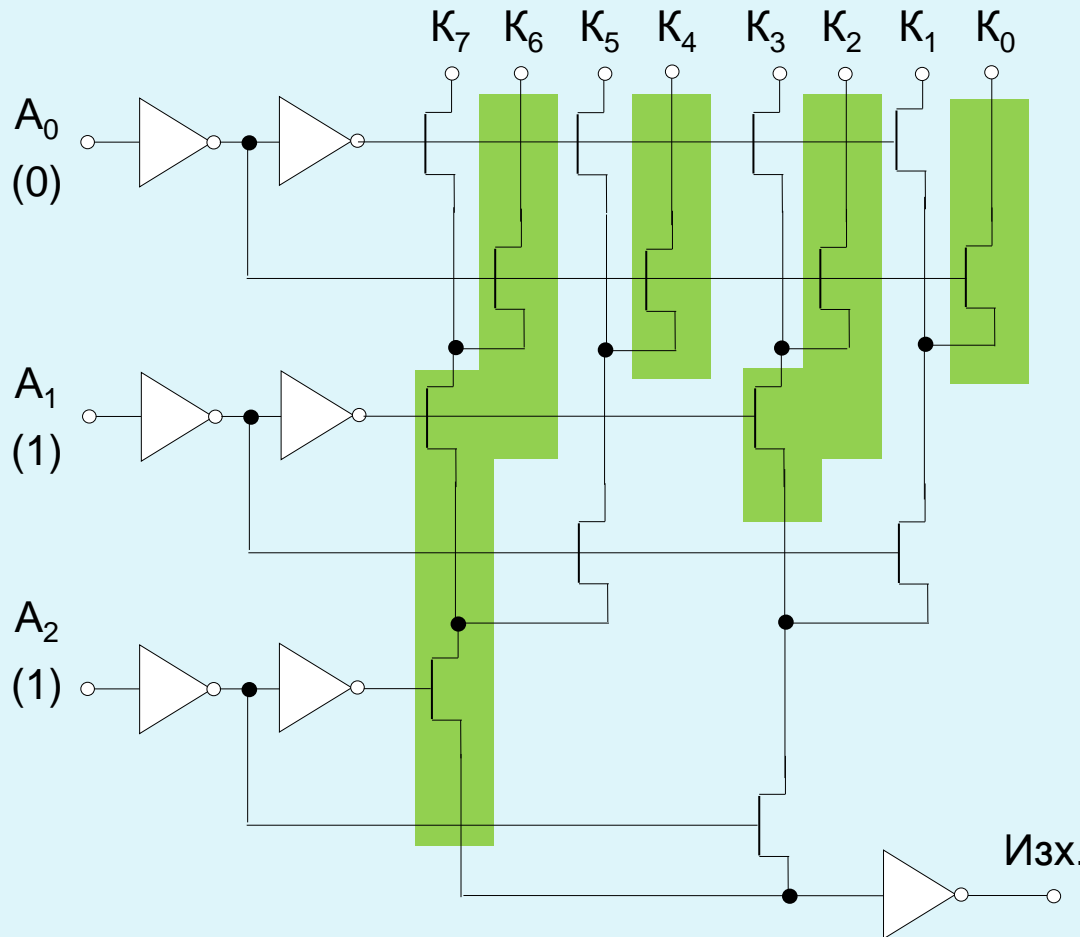
Поддържащи (периферни) схеми: реализация на АД (нетактувани)

Класическа NOR структура



## Полупроводникови памети

Поддържащи (периферни) схеми: реализация на АД чрез ЛУТ (логика с управляващ транзистор/pass-transistor logic) - специално за реализация на дешифратори по колони, ДК



**! намален брой транзистори** спрямо NAND и NOR-базираните структури.

$2^{N-i}$  транзистора за всеки адресен бит:

-N-брой адресируеми колони (тук  $N=3$ );

-  $i$ -пореден номер на адресната шина (тук  $i=0,1,2$ ).

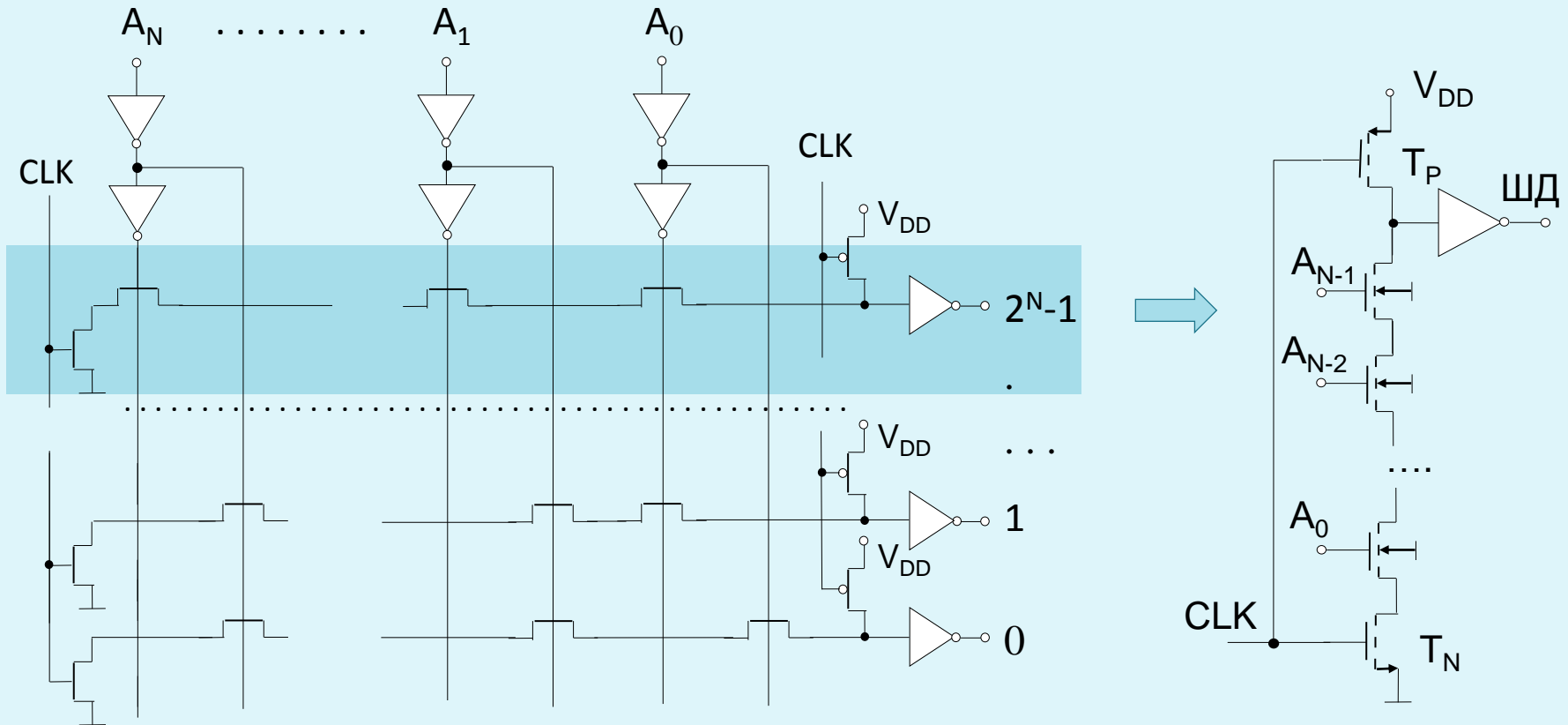
изх.ниво преди инвертора

$\rightarrow V_{DD} - V_{TN}$



## Полупроводникови памети

Поддържащи (периферни) схеми: реализация на АД чрез тактувани структури → Домино структура (за VLSI приложения)



- вариант на NAND – базираните АД;
- подготвителна фаза – CLK=low:  $U_{шд}$ =low;
- изпълнителна фаза – CLK=high:  $U_{шд}$ = low/high (преход само от 0→1).