

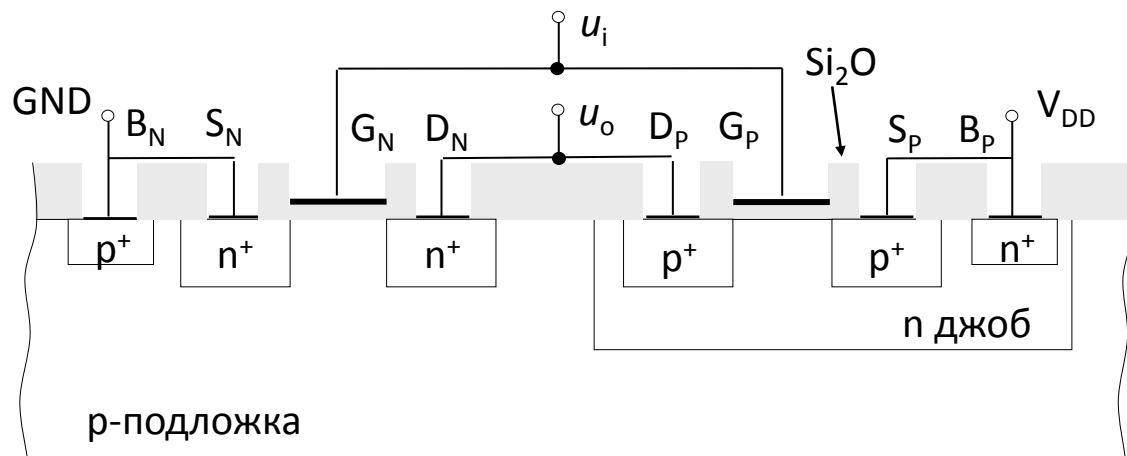
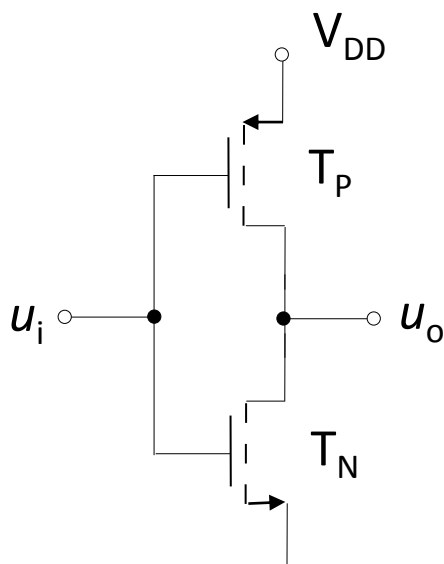


ЦИФРОВА СХЕМОТЕХНИКА

ЛЕКЦИЯ #4

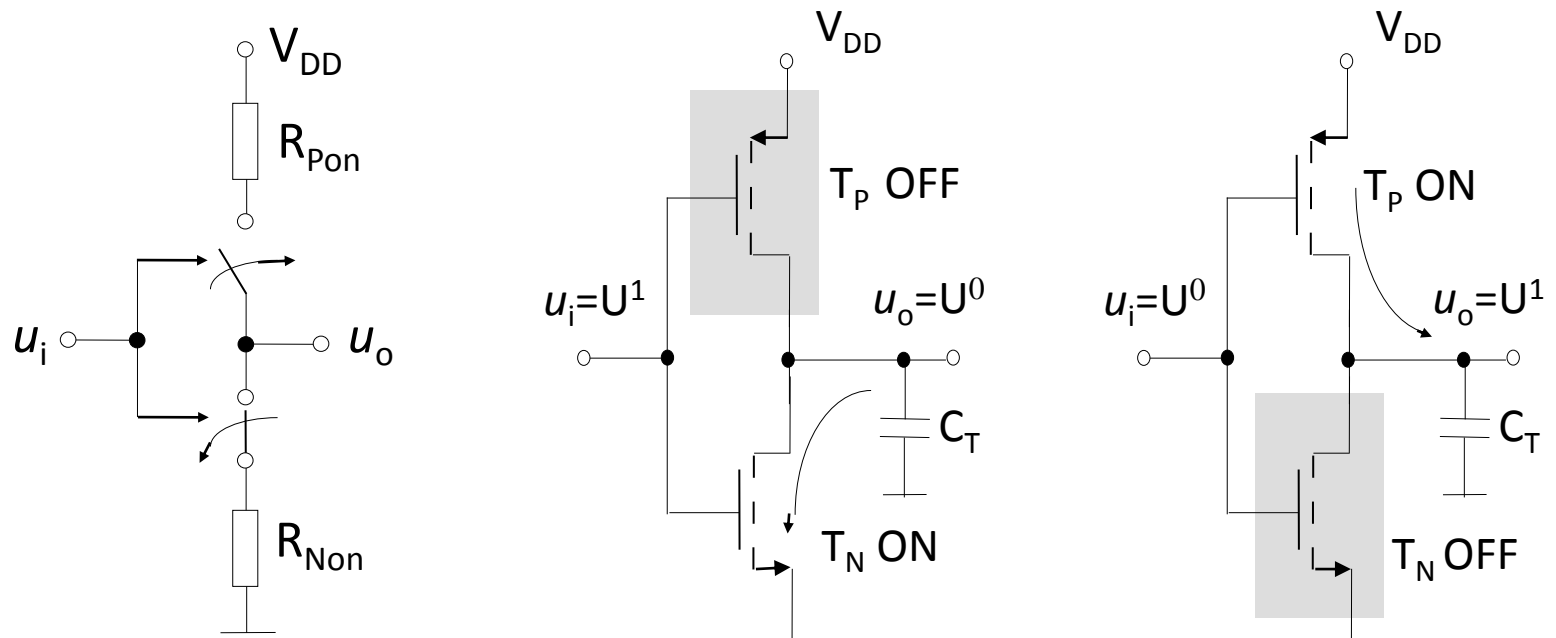
CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – основна схема, микроелектронна структура



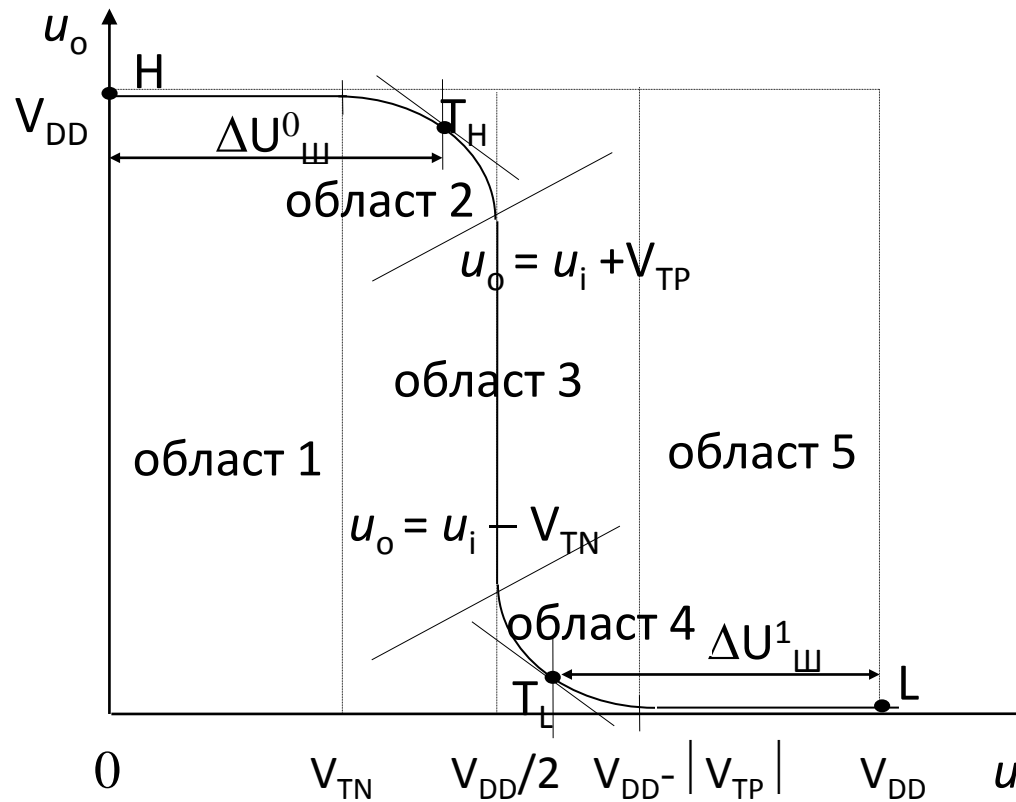
CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – функционален модел, изходни състояния



CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – ПХ, режими на работа на транзисторите



CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – ПХ, режими на транзисторите (области)

Област и	Входно напрежение u_i	Изходно напрежение u_o	Н транз.	Р транз.
1	$u_i \leq V_{TN}$	$U^1 = V_{DD}$	зап.	лин.
2	$V_{TN} < u_i \leq u_o + V_{TP}$	$U^1 \downarrow$	нас.	лин.
3	$u_i \approx V_{DD}/2$	$\approx V_{DD}/2$	нас.	нас.
4	$u_o + V_{TN} \leq u_i < V_{DD} - V_{TP} $	$U^0 \uparrow$	лин.	нас.
5	$u_i \geq V_{DD} - V_{TP} $	$U^0 = 0V$	лин.	зап.

CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – токове през транзисторите в двата режима на работа

$$i_d = K' \cdot \frac{W}{L} \left(u_{GS} - V_T - \frac{u_{DS}}{2} \right) \cdot u_{DS} = K \left(u_{GS} - V_T - \frac{u_{DS}}{2} \right) \cdot u_{DS}, \quad u_{DS} \leq u_{GS} - V_T$$

$$i_d = \frac{K'}{2} \cdot \frac{W}{L} (u_{GS} - V_T)^2 = \frac{K}{2} (u_{GS} - V_T)^2, \quad u_{DS} > u_{GS} - V_T$$

$$V_{TN} = V_{TN0} + \gamma_N \left(\sqrt{u_{SBN} + 2\phi_{TN}} - \sqrt{2\phi_{TN}} \right)$$

$$V_{TP} = V_{TP0} + \gamma_P \left(\sqrt{u_{SBP} + 2\phi_{TP}} - \sqrt{2\phi_{TP}} \right)$$

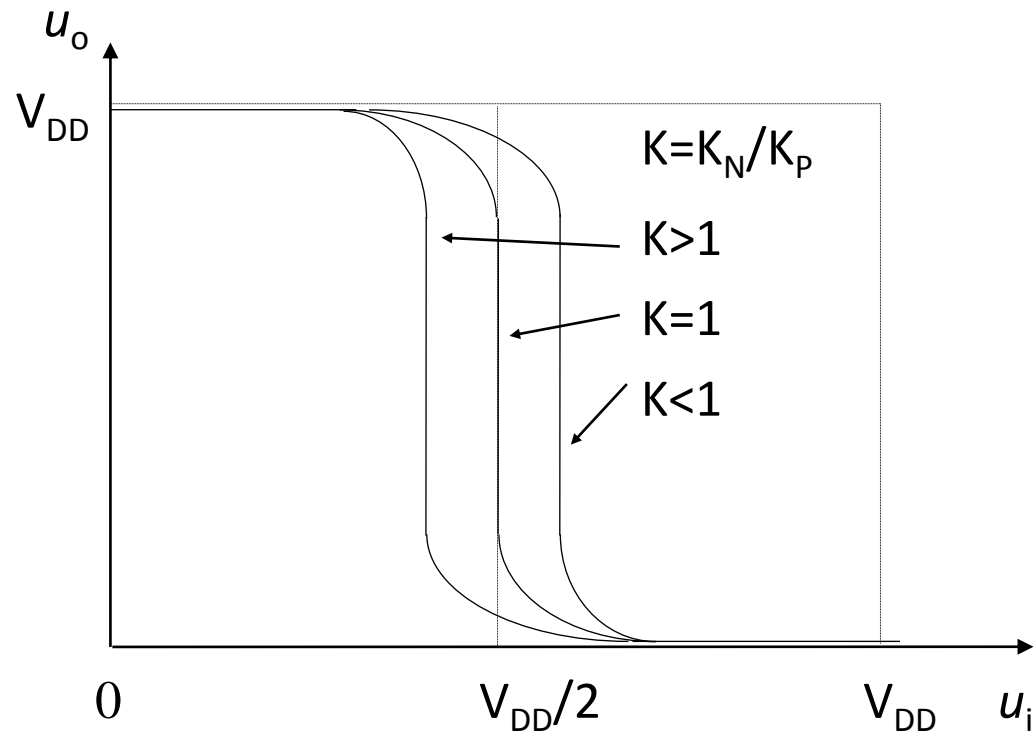
Типови технологични стойности за “стандартен” CMOS процес, удибни за ползване при числен анализ:

$$V_{TON}=1V, V_{TOP}=-1V, K'_N=25\mu A/V^2, K'_P=10\mu A/V^2,$$

$$2\phi_{TN}=0.6V, 2\phi_{TP}=0.7V, \gamma_N=0.5V^{1/2}, \gamma_P=0.75V^{1/2}$$

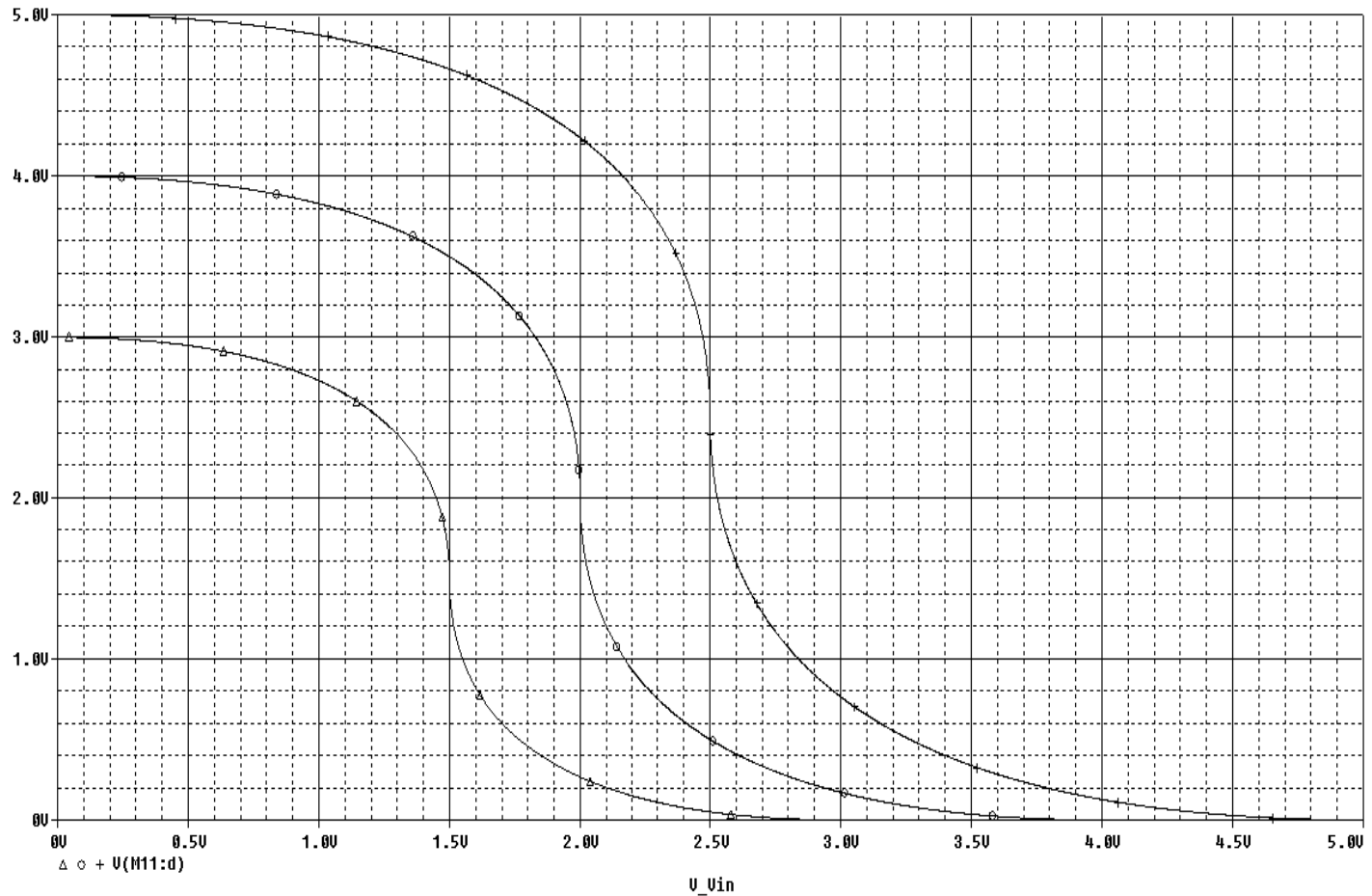
CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор – зависимост на ПХ от съотношението K_N/K_P



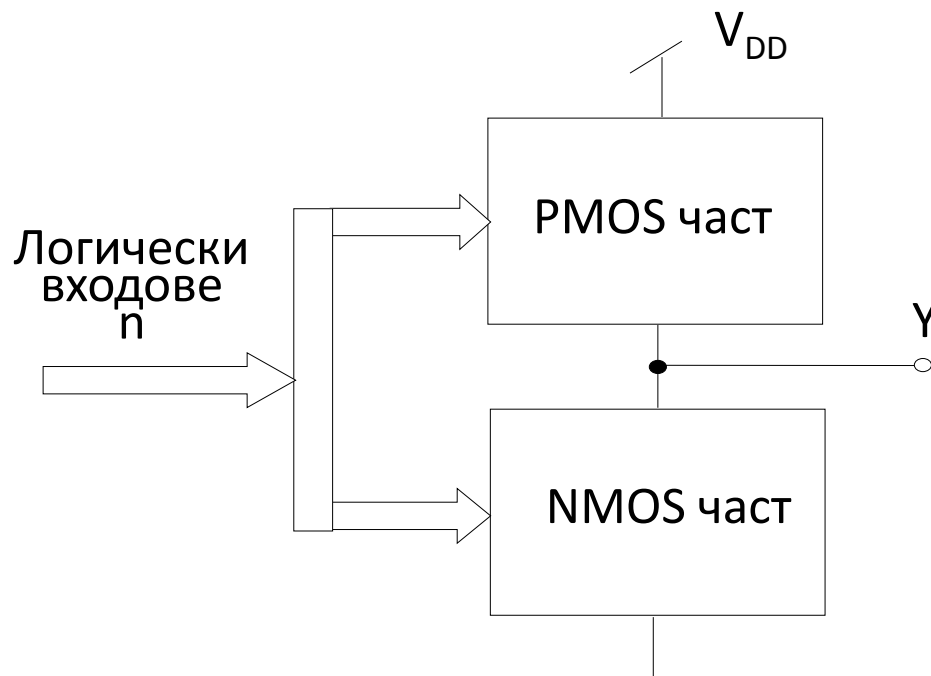
CMOS схемотехника. Синтез на логически схеми

- CMOS инвертор - зависимост на ПХ от захранващото напрежение V_{DD}



CMOS схемотехника. Синтез на логически схеми

- Логически схеми - обобщена структура на многовходова CMOS ЛС



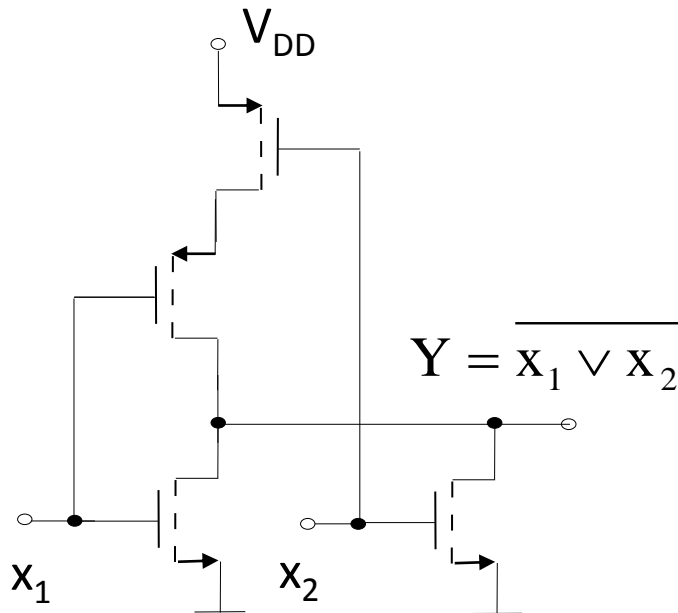
n лог.входа $\rightarrow 2n$ на брой транзистора

Проблеми – увеличена дължина на междусъединенията:

- (1) проблемна трасировка;
- (2) значителен “собствен” капацитет /влошаване на бързодействието/ на схемата

CMOS схемотехника. Синтез на логически схеми

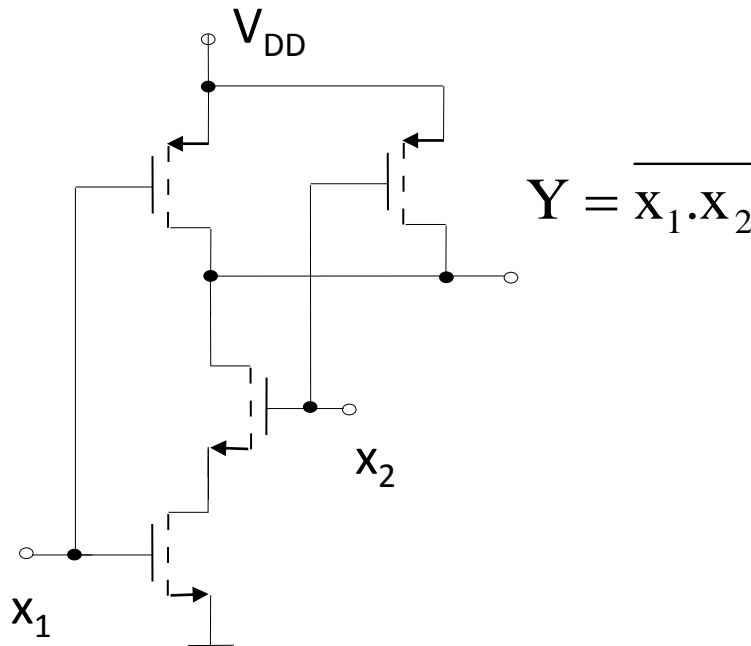
- Базови CMOS логически схеми – схема 2ИЛИ-НЕ (NOR)



x_1	x_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

CMOS схемотехника. Синтез на логически схеми

- Базови CMOS логически схеми – схема 2И-НЕ (NAND)



X_1	X_2	Y
0	0	1
0	1	1
1	0	1
1	1	0

CMOS схемотехника. Синтез на логически схеми

- Синтез на многовходови CMOS логически схеми

- Емпиричен метод:

Сложна логическа функция : (1) реализация на най-простите вътрешни И(ИЛИ) - членове; (2) разширява се “навън” последователно с ИЛИ (И) - членовете; (3) обобщават се всички членове от по-горно ниво.

- ❖ Схеми / фрагменти тип **NAND**:

- N-каналните транзистори – **серијно**;
- съответните P-канални транзистори – **в паралел**.

- ❖ Схеми / фрагменти тип **NOR**:

- N-каналните транзистори – **в паралел**;
- съответните P-канални транзистори – **серијно**.

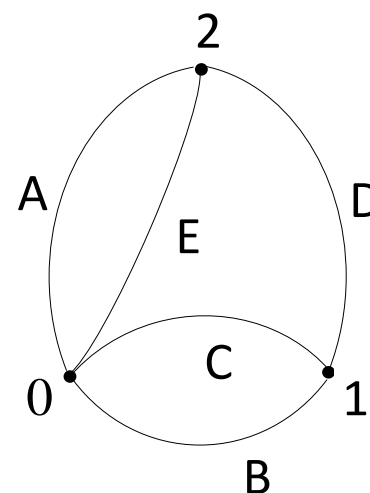
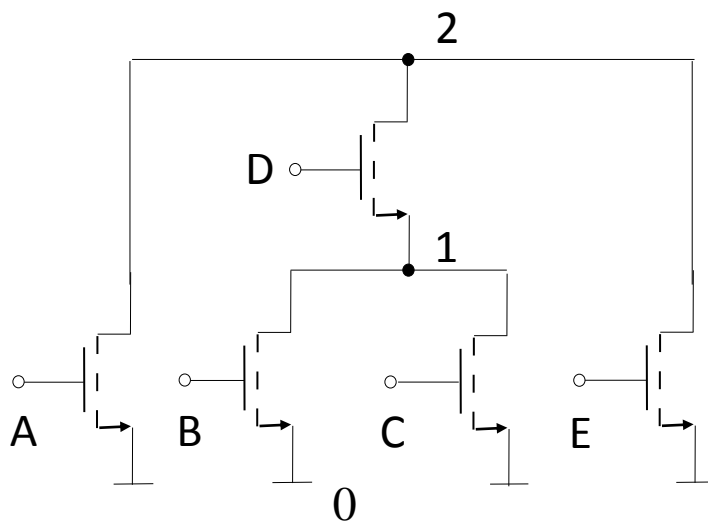
*Свързват се N- и P-частите;
Изход → от общата им точка.*

CMOS схемотехника. Синтез на логически схеми

- Синтез на многовходови CMOS логически схеми
- Метод с ненасочени графи (пример):

$$Y = \overline{A \vee BD \vee CD \vee E} = \overline{A \vee D(B \vee C) \vee E}$$

Построява се N-частта: вътр.възли се номерират, маса-0; построява се ненасочен граф с дъги, съответстващи на всеки логически вход. Дъгите се означават със съответните входове.



CMOS схемотехника. Синтез на логически схеми

- Синтез на многовходови CMOS логически схеми
 - Метод с ненасочени графи (пример):

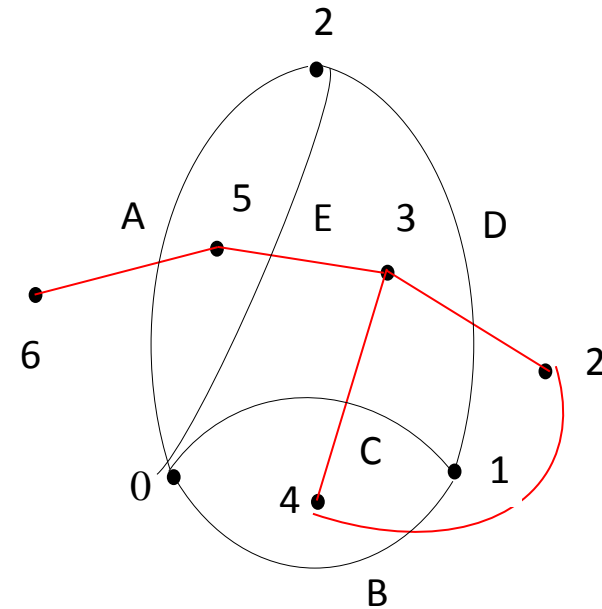
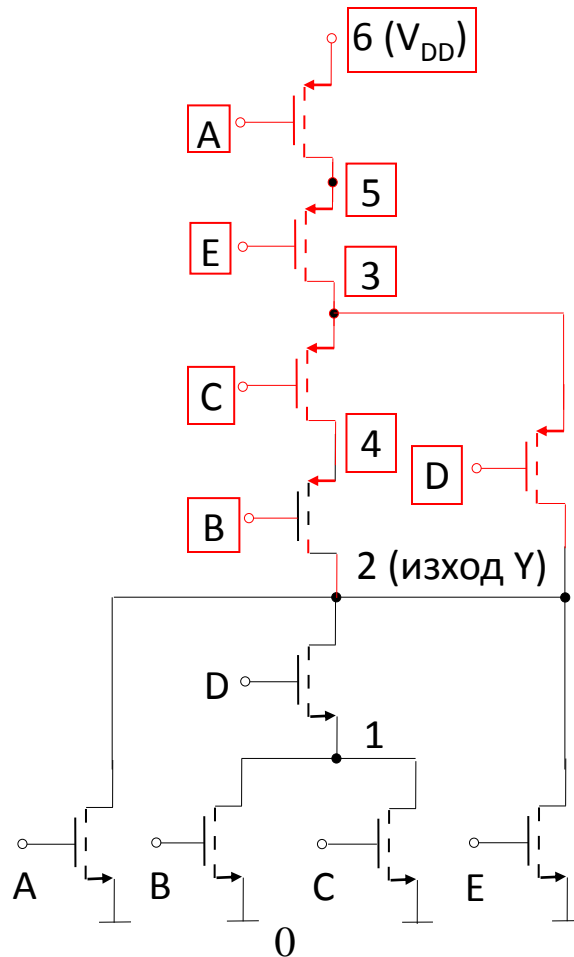
Построяване на P-частта:

- 1) разполагат се нови възли във всеки затворен контур;
- 2) добавят се още два възела за изход (в примера-2, от N-частта, дублира се) и захранване (в примера-6);
- 3) построяват се дъги, между нововъведените възли, отговарящи на съответните PMOS транзистори, като новите дъги пресичат тези на NMOS графа само веднъж.

От получения граф схемата се разширява с P-частта до получаване на пълната принципна CMOS ЛС.

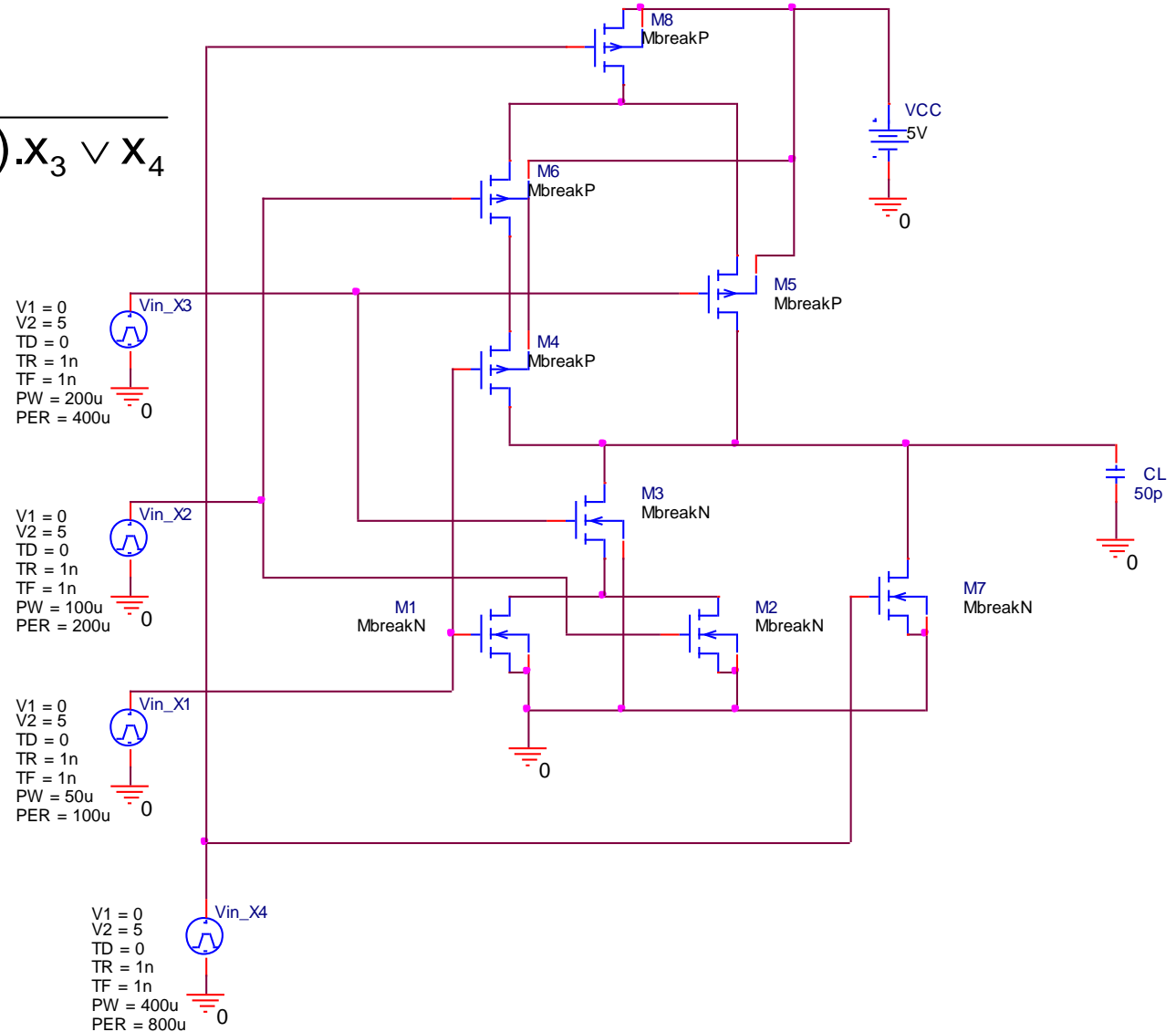
CMOS схемотехника. Синтез на логически схеми

- Синтез на многовходови CMOS логически схеми
- Метод с ненасочени графи (пример):

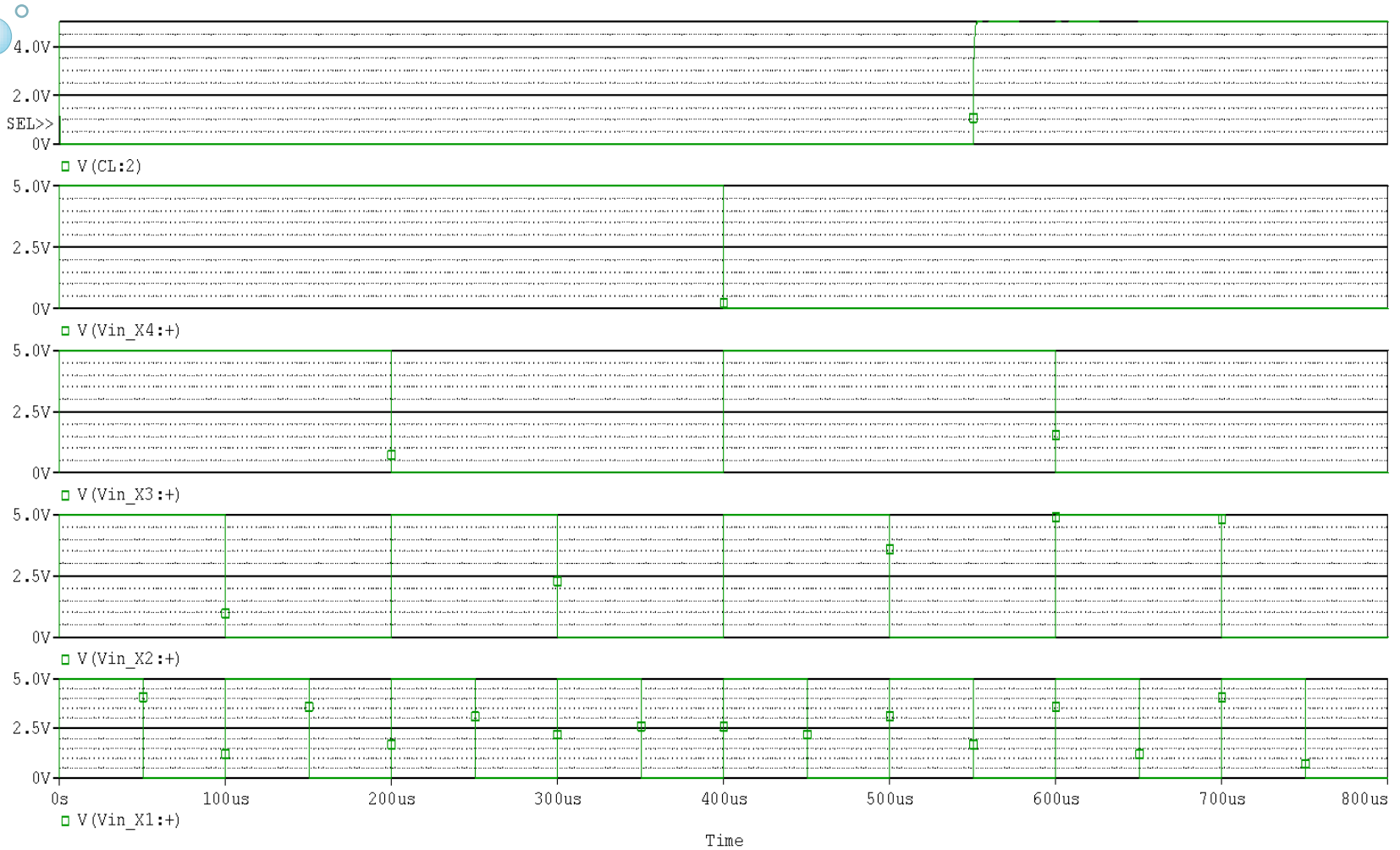


□ Пример – симуляция на CMOS ЛС:

$$Y = \overline{(X_1 \vee X_2)} \cdot X_3 \vee X_4$$



Пример – симуляция на CMOS ЛС (времедиаграми):



Y

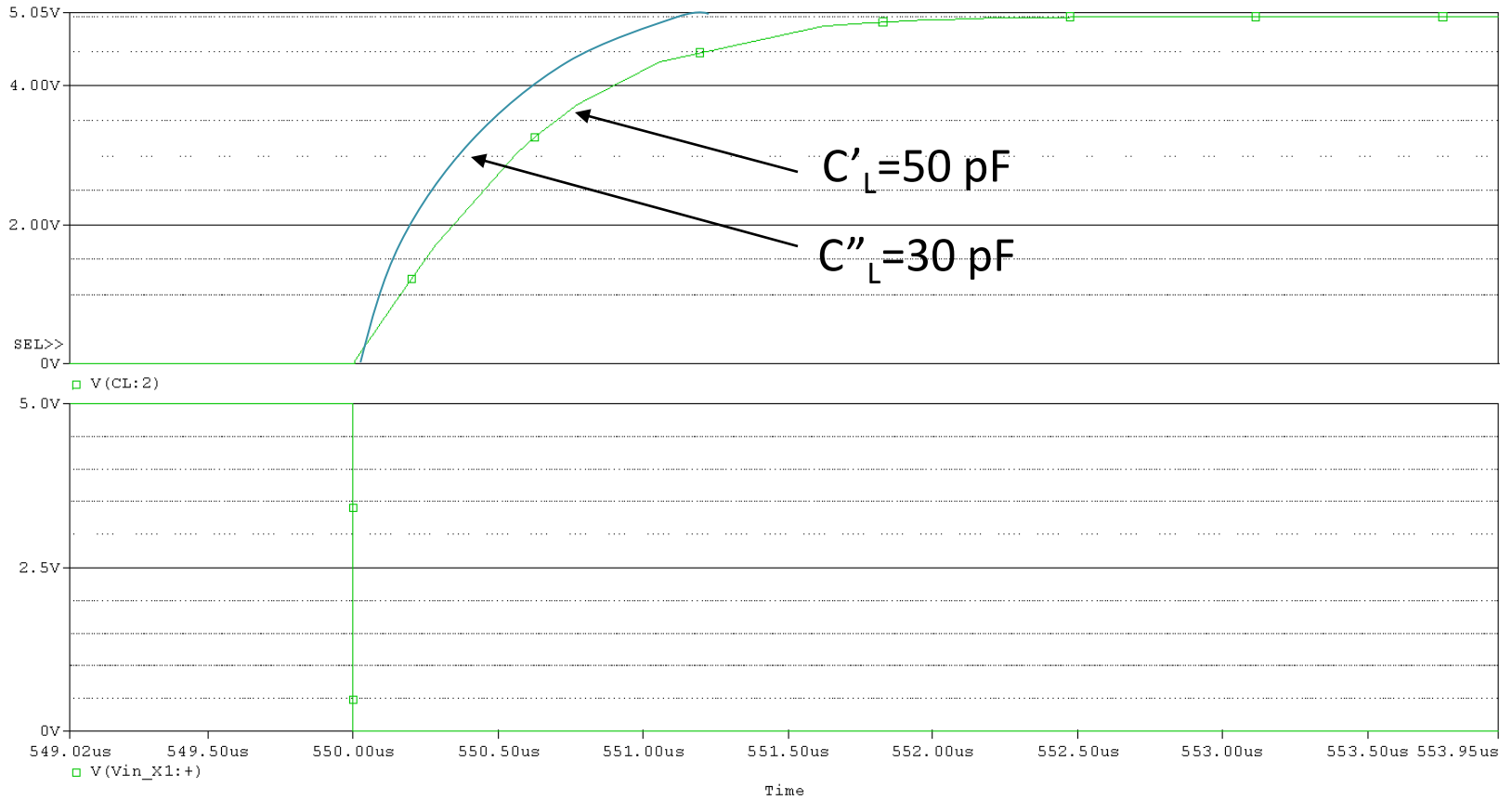
X₄

X₃

X₂

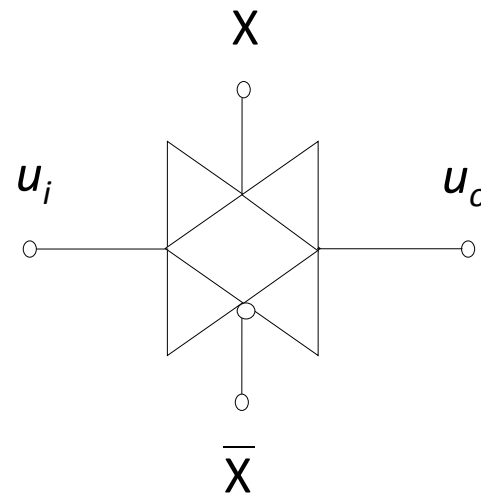
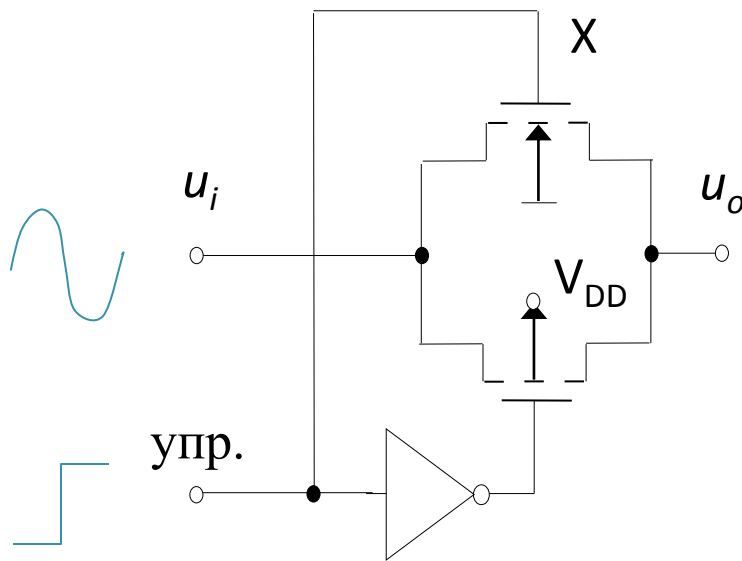
X₁

□ Пример – симуляция на CMOS ЛС:
/при промяна стойността на товара C_L /



❑ Предавателен елемент (аналогов ключ) - ПЕ (*transmission gate*)

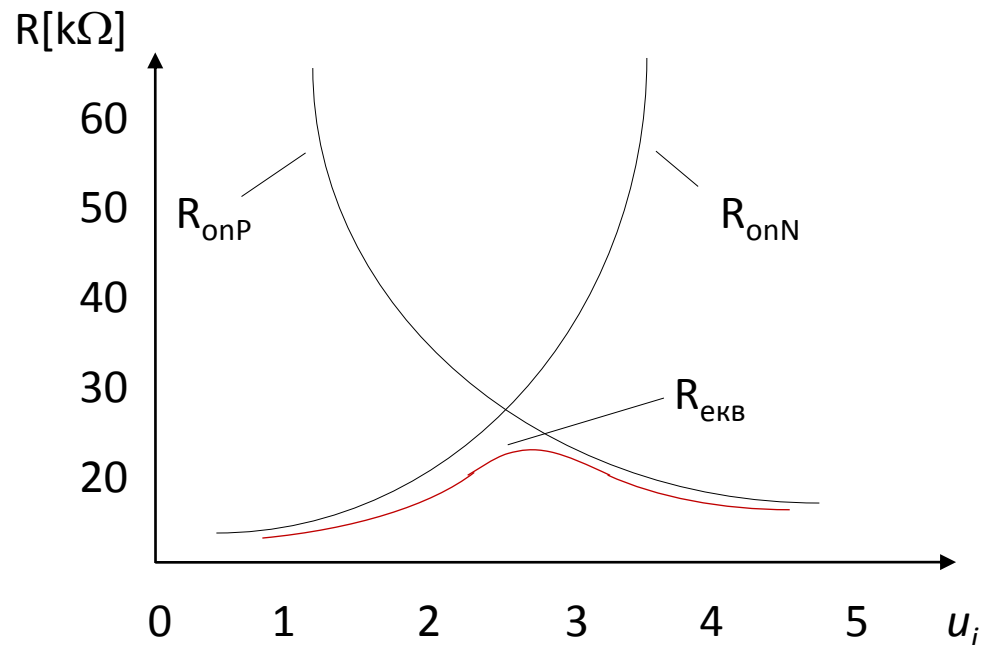
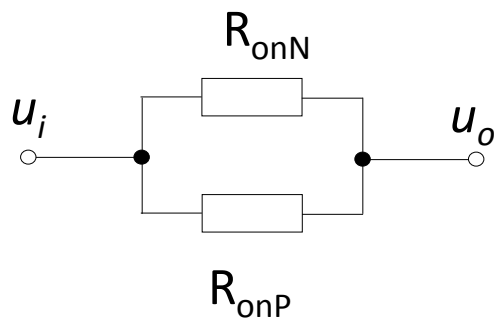
Предназначение: комутация на “произволен” аналогов сигнал u_i с помощта на цифров управляващ сигнал (X)



❑ Предавателен елемент (аналогов ключ) - ПЕ (*transmission gate*)

Електрически модел в отпушено състояние,
еквивалентно съпротивление:

(примерни стойности за съпротивленията на отпушените транзистори)



□ CMOS схеми – консумирана мощност

* Статична консумация – в следствие на ненулевите утечни токове в ПП-структура (S-B, D-B, n-дjob-B) - много ниска, но значима при приложения с батерийно захранване.

* Динамична консумация – доминираща в CMOS структурите.
 $C_T \rightarrow C_1, C_2$ **(а) за зареждане на C_T .**

$(C_1 + C_2)V_{DD}^2$ – консумирана енергия за 1 период (заряд, разряд)

$$P_D = f_{CLK} (C_1 + C_2) V_{DD}^2$$

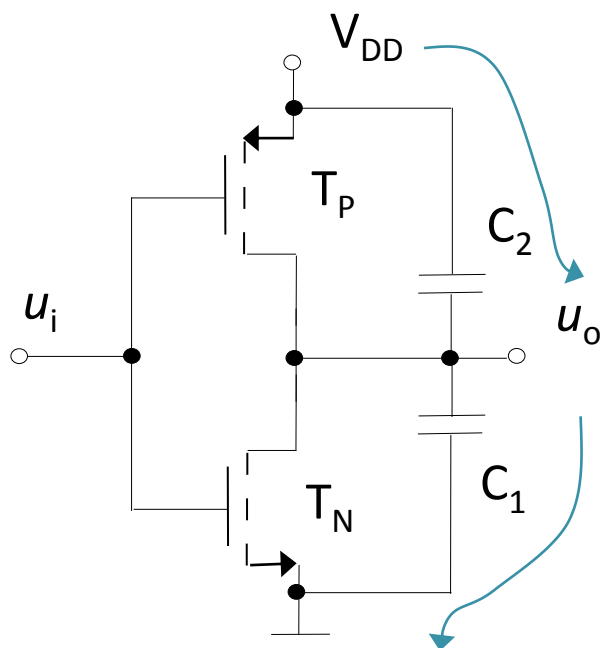
$$P_D = \alpha \cdot f_{CLK} C_T V_{DD}^2$$

Вероятност за превключване на един възел от $0 \rightarrow 1$ (α_{01}) и от $1 \rightarrow 0$ (α_{10}) -
 “активност” - $\alpha_{акт} = 2\alpha_{01} = 2\alpha_{10}$

0.4 ÷ 0.5 (КЛС);

0.08 ÷ 0.18 (ПС/КА);

< 0.1 (за MSB) до 0.5 (за LSB) –
 аудио/видео приложни системи.



□ CMOS схеми – консумирана мощност

- *Динамична консумация:*

б) от ток на късо съединение между захр. източник и маса при превключване

При $V_{TN} < u_i < V_{DD} - |V_{TP}|$

