

Конспект

по дисциплината „Цифрова схемотехника“, код ВССЕЗ8, кредити 5
за студентите от специалност „Компютърни системи и технологии“ („Компютърно и софтуерно инженерство“),
образователна степен „бакалавър“,
ФКСУ при Технически Университет – София, уч.2012-2013 г.

1. Развитие на елементната база на цифровата схемотехника. Поколения ИС според броя изграждащи компоненти. Основни статични и динамични параметри в цифровите и импулсни схеми. Оценка на консумираната мощност. Предавателна характеристика, продължителност на фронтвета, измерване на средно закъснение.
2. Линейно формиране. Математически модел. Пасивни и активни формиращи схеми. Продължителността на преходния процес, активна продължителност на преходния процес.
3. Диодни логически схеми (ДЛС): реализация на логически функции И и ИЛИ. Резисторно-транзисторни логически схеми (РТЛС), диодно-транзисторни логически схеми (ДТЛС). Транзисторно-транзисторни схеми – базов TTL елемент: реализация, действие, предимства, недостатъци.
4. TTL схема с изходно стъпало тип „сложен инвертор“ – принципна схема, състояние на транзисторите, варианти на изходното стъпало. Предавателна характеристика. Схема с изходно стъпало „отворен колектор“. Свързване „жично ИЛИ“, приложение, ограничения. Увеличаване бързодействието на TTL схеми. Серии TTL ИС.
5. Диодни ограничители (ДО). Едностранны ДО от последователен тип, от паралелен тип. Двустранни ДО от последователен и от паралелен тип: схеми, времедиаграми в изхода при подаване на двуполярно изменящо се входно напрежение. Линейни формиращи вериги с диодни ограничители.
6. MOS инвертор с линеен товар: работни точки (изходна характеристика), предавателна характеристика: статични параметри, анализ, влияние стойността на товарното съпротивление.
7. MOS инвертори с нелинеен товар. Схема с наситен товарен транзистор: големина на изходния ток, влияние преднапрежението на подложката. Схема с квазилинеен товар: предимства, недостатъци. Схема с „токостабилизиращ“ товар. Логически схеми с MOS транзистори: базови ЛС, многоходови ЛС, големина на логическата нула, оразмеряване площта на транзисторите.
8. CMOS схеми: микроелектронна реализация, модел с идеални ключове, изходни състояния. Основна схема, предавателна характеристика. Прагови напрежения, статични параметри. Еквивалентен електрически модел: области, големина на токовете през транзисторите.
9. Логически схеми в CMOS базис: базови ЛС, методи за синтез на многоходови структури. Предавателен елемент (аналогов ключ): схема, предназначение, еквивалентен модел, съпротивление. Консумирана мощност в CMOS схеми: динамична консумация за зареждане на товарния капацитет и поради ток от „късо съединение“ при превключване.
10. Високоимпедансно състояние в TTL схемотехничен базис: същност, предназначение в компютърните конфигурации. Реализация в TTL структури: схеми с обратно включен диод, с наситен транзисторен ключ, с транзистор и диод.
11. Високоимпедансно състояние в CMOS структури: схема с допълнителни транзистори, с предавателен елемент в изхода. Схема за управление по високоимпедансно състояние в CMOS буфер 74НСТ244.
12. ViCMOS структури. Инвертор: анализ на състоянията. Големина на логическите единица и нула. Безрезисторни варианти на основната схема. Базови логически схеми в ViCMOS базис.
13. Динамични MOS структури. Квазистатичен инвертор с „отношение“. Еднотактен динамичен инвертор „с отношение“. Еднотактен динамичен инвертор „без отношение“. Логически схеми с динамичен инвертор „без отношение“.
14. S^2 MOS динамични структури: същност, приложение. Precharge-evaluation (P-E) CMOS схеми: обща структура, фази. „Домино“ CMOS структури: обобщена схема, реализация на логически схеми – пример.
15. ECL схеми: базова схема, математически модел, анализ на изходните състояния, големина на колекторния ток, големина на активната област. Шумозащитеност, консумация, приложение. Схема с емитерни повторители, отнемване на нивата. Температурно компенсирани опорен източник на напрежение.

16. ECL схеми: реализация на логически схеми, основна схема, логически базис. Директно свързване изходите на емитерните повторители (т.нар. wired-OR). Схеми с намалена логическа амплитуда (диференциални ECL). Етажни (многослойни) структури. Консумирана мощност в ECL схемите.
17. Схеми с характеристика “памет”: обобщена класификация (бистабилни, моностабилни, астабилни). Симетрични тригери: схеми с биполярни транзистори и с логически елементи, анализ. Видове тригери. Асинхронни RS-тригери с ЛЕ: таблица на преходите, проява и същност на забраненото състояние.
18. Синхронни по ниво (Enable) тригерни структури: обобщена схема, недостатък. RS- и D-тригери. Синхронни по фронт тригерни структури: необходимост, реализация, пример.
19. Синхронни по фронт D тригери с предавателни елементи (ПЕ). Master-Slave D-тригер с ПЕ. Асинхронно управление на синхронни тригерни структури – практическа необходимост, реализация.
20. Състезания на сигнали в тригерни структури (пример). RS и JK Master-Slave (MS) структури. Установяване на изходите в MS структурите. Времеви параметри на тригери.
21. Несиметрични тригери. Принцип на схемите с хистерезис, предавателна характеристика, шумоустойчивост. Тригер на Шмит с ОУ: определяне стойността на праговете.
22. Двухтранзисторен тригер на Шмит с емитерна връзка. Анализ на състоянията на транзисторите. Определяне стойността на праговете на превключване.
23. MOS/CMOS тригери на Шмит: схема с ЛЕ, големина на праговете. Тригер на Шмит с RS-тригер. Схеми с “времеви” хистерезис. Принцип, основна схема с ОУ.
24. Логически схеми с хистерезис: предназначение, предавателна характеристика, обобщена структура в TTL базис. Пример – схемна реализация в ИС 7414.
25. Мултивибраторни и таймерни схеми – обобщена схема. Таймер 555 : схема, основни режими на работа. Работа в чакащ режим. Определяне продължителността на изходния импулс.
26. Таймер 555. Работа в автогенериращ режим. Времедиаграми. Определяне продължителността на импулса и паузата. Настройка на праговете.
27. Транзисторен мултивибратор с колекторно-базови връзки – работа като автогенератор и в чакащ режим. Времедиаграми, определяне продължителността на импулса.
28. Интегрални чакащи мултивибратори (ИЧМ): обобщена блокова схема, времедиаграми. Особенности при използване на ИЧМ: логическа схема за запускане, определяне на изходния импулс. Реализация на автогенератор с ИЧМ.
29. Автогенератор на базата на ОУ. Времедиаграми, анализ. Автогенератор с логическа схема с хистерезис.
30. Буферни схеми. Класификация, видове, особености, предназначение. Параметри. Двупосочни буфери. Примерни схеми с високоимпедансно състояние в TTL и в CMOS базис.
31. Полупроводникови RAM – видове, особености. Обща архитектура на запомняща матрица, състав, избор на запомняща клетка. Статични RAM: основна клетка, стабилна и квазистабилна точки. 6-транзисторна NMOS схема: адресация, четене, запис.
32. 6-транзисторна CMOS RAM клетка. Анализ на процесите на четене: предварителен заряд, състояние на транзисторите. Запис: на U^0 при налична U^0 или U^1 . Биполярни SRAM.
33. Динамични (DRAM) памет. Еднотранзисторна 1-T DRAM запомняща клетка (ЗК): особености, схемотехника. Запис на информация при логическа 0 или логическа 1 в клетката. Четене на информация от ЗК (предварителен заряд, преразпределение, регенерация).
34. Тритранзисторна (3-T) DRAM ЗК: схемотехника, анализ на работата. Четиритранзисторна (4-T) DRAM ЗК.
35. Поддържащи схеми в полупроводникови RAM: детекторни усилватели (ДтУ). SRAM с ДтУ: схемна структура. DRAM с ДтУ: схемотехника, фиктивна клетка. Адресни дешифратори в RAM: NAND, NOR структури. Дешифрация чрез логика с управляващ транзистор.
36. CCD-структури. Двухфазен трансфер в CCD структура. Видове: SCCD, BCCD. Предимства на BCCD структурите. Съвременни CMOS image сензори: предназначение, видове, реализация, ограничения.

37. Представяне на описание на цифрови структури с голяма степен на интеграция: нива на описание и абстракция. Y-диаграма на Гайски-Кун. Видове интегрални структури: Custom, ASICs. Видове ASICs с програмируема логика: базови матрични кристали, стандартни клетки.
38. Устройства с програмируема логика (Programmable Logic Devices). От „прости“ (SPLD - PLA, PAL, PROM) към „сложни“ (CPLD) програмируеми логически устройства. FPGA, CPLD – структурни особености, приложна ориентация. Типове FPGA – репрограмируеми, еднократно (OTP) програмируеми.
39. Процес на проектиране на PLDs. Съвременни среди за проектиране. Среда ISE WebPack на фирмата Xilinx: изграждане на проект, представяния, процеси, етапи. Прототипизация.
40. Архитектура на чипове FPGA – обща структура. Особености на FPGA матрици от фамилията Spartan3E на фирмата Xilinx. Основни блокове и предназначение.
41. Езици за описание на цифрови структури (HDLs, Hardware Description Languages). Възможности, особености спрямо езиците от високо ниво (HLLs, high Level Languages). Стиллове за описание на архитектурата в езика VHDL: behavioral (поведенческо), structural (структурно), mixed (смесено).
42. Дефиниране на entity (Design Unit) във VHDL. Портови декларации. Пример. Режим на сигналите. Променливи от тип вектор: задаване на разрядност, тегло на разрядите, начална стойност. Задаване на архитектура с процеси. Пример.
43. Типове на променливите в езика VHDL. Оператори за сравнение и аритметични оператори в пакетите std_logic_1164.all и ieee.numeric_std.all. Преобразуване на типа. Дефиниране на високоимпедансно състояние във VHDL: пример с описание на инвертор.
44. Условно присвояване стойност на сигнал - оператори: *<име на сигнал> <= <аритм.израз_i> when <булев израз_j>* . Описание на архитектура на комбинационна структура – пример.
45. Описание на архитектура на комбинационна структура с условен оператор от вида **with** <селектор> **select** *<име на сигнал> <= <аритм.израз_i> when <селектор_j>,* . Описание на архитектура на комбинационна структура: пример.
46. Условни оператори: **if** <булев израз_1> **then** *последователности оператори* ; **elsif** <булев израз_2> **then** **end if**; Оператор **case** <селектор> **is when** <селектор_1> => *последователности оператори*; **when** **end case**; Пример за описание на архитектура на комбинационна структура.
47. Константи във VHDL. Конструкция **constant** и **generic**: деклариране, особености. Декларация **signal**. Изграждане на йерархични проекти в среда ISE WebPack. Съотнасяне на входовете и изходите на отделните блокове – **port map** декларация.
48. Функции и процедури във VHDL – особености. Примери. Дефиниране на архитектура с **block**.
49. Описание на тактувани структури с процеси в езика VHDL: тригер, регистър, файл от регистри. Пример за описание на архитектура на D-тригер с асинхронно управление.
50. Проектиране на контролер за управление на SRAM. Необходимост от изграждане, примерна схема с организация 256Kx16: блокова схема, сигнали, времодиаграми при четене (без и със отчитане нивото на сигнала ое) и при запис. Обмен на данните между БОС, контролера и SRAM, граф на управляващия КА.
51. Процесор PicoBlaze на Xilinx – обобщена блокова схема, ресурси, програмен модел. Област на приложение, анализ и разделяне на проектите на software и hardware partitions. Типове инструкции – примери.

София,
02.01.2012 г.

Изготвил:
(доц. д-р инж. Валентин Моллов)