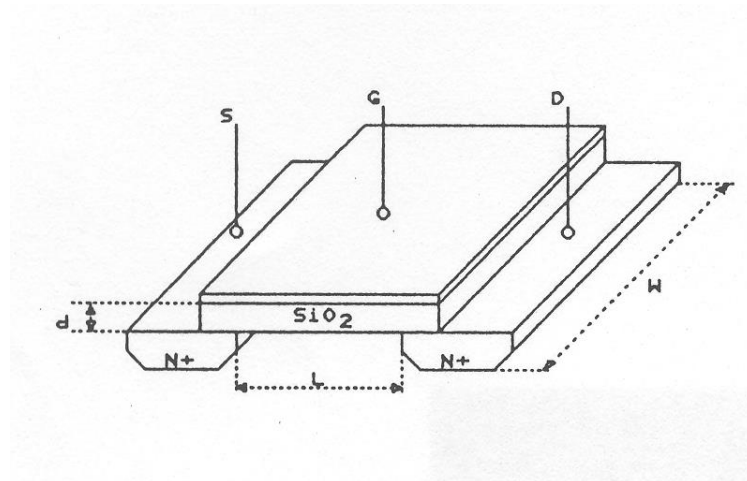


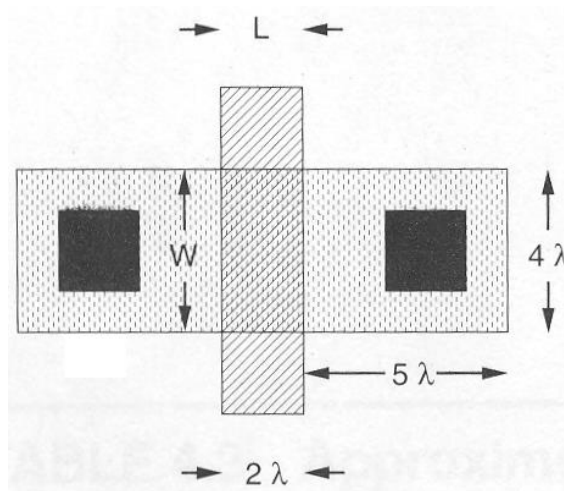
ТРАНЗИСТОРНИ КЛЮЧОВЕ С MOS - ТРАНЗИСТОРИ. nMOS- и CMOS- инвертори

На Фиг. 8.1 е представена обемна схема на интегралната реализация на n - канален MOS – транзистор с индуциран канал с електродите **S** - сорс, **D** - дрейн, **G** - гейт. Каналът се формира, като при подаване на определено напрежение на гейта спрямо подгейтовата област, под гейта се индуцира област с n проводимост, образуваща канал, съединяващ n+ областите на сорса и дрейна, през който протича ток.



Фиг. 8.1

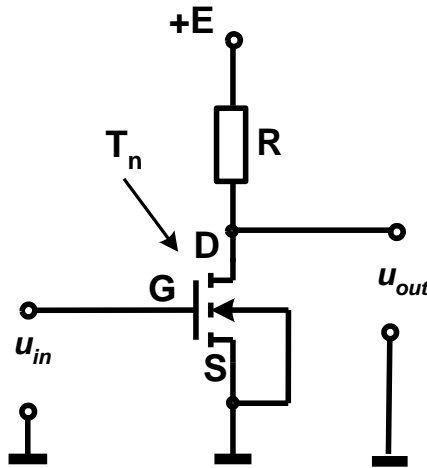
На Фиг.8.1 са отбелязани някои основни физически параметри на транзистора, като **L** – дължина на канала, **W** – ширина на канала, съотношението на които, изразено чрез параметъра λ , е показано на опростения *топологичен чертеж* на Фиг. 8.2.



Фиг. 8.2

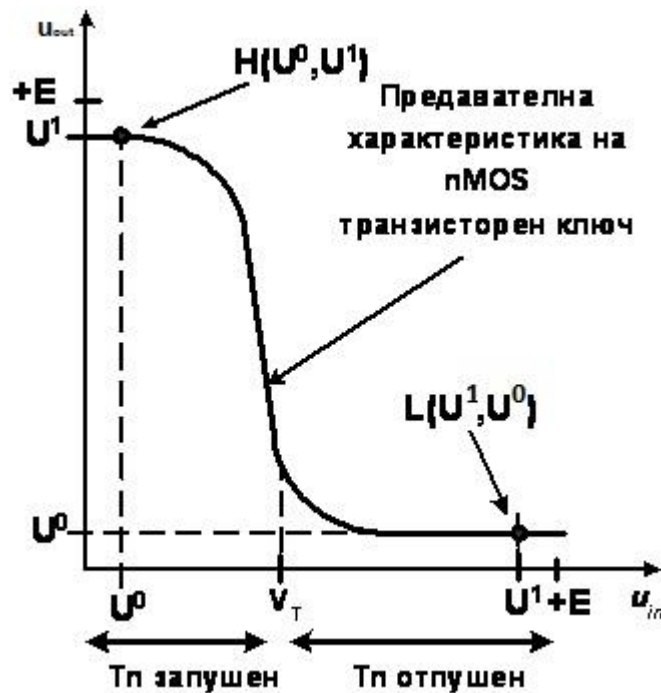
1. n- MOS инвертор

n- каналният MOS -транзистор, свързан заедно с товарен резистор в дрейна, както е показано на Фиг.8.3, образува транзисторен ключ, който функционира като логическа схема *инвертор*. Ако тази схема разглеждаме като цифрова схема, на входа на която (като стойности на цифровия сигнал u_{IN}) се подават U^0 или U^1 , на изхода (u_{OUT}) се получават съответно цифровите стойности U^1 и U^0 .



Фиг. 8.3

Предавателната характеристика на схемата е показана на Фиг.8.4. По принцип предавателната характеристика на една схема показва графично зависимостта на изходното напрежение от входното ѝ напрежение, когато входното напрежение се променя линейно във времето в интервал от 0 до +E (захранващото напрежение на схемата).

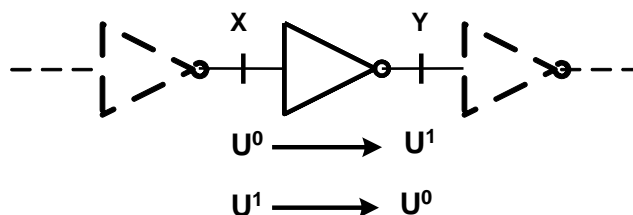


Фиг. 8.4

От предавателната характеристика точката $L(U^0, U^1)$ и $H(U^1, U^0)$ описват състоянията на схемата съответно при стойности на входното напрежение U^1 и U^0 . Схемата изпълнява логическата функция инверсия, ако цифровите сигнали u_{in} и u_{out} се разглеждат като логическите променливи X и Y :

X	Y
0(U^0)	1(U^1)
1(U^1)	0(U^0)

Транзисторният n- MOS – ключ като инвертор в структурата на цифрово устройство е показан на Фиг.8.5



Фиг. 8.5

За двете стойности на изходното напрежение в статичен режим U^1 и U^0 на тази схема са в сила зависимостите:

$$U^1 \approx +E$$

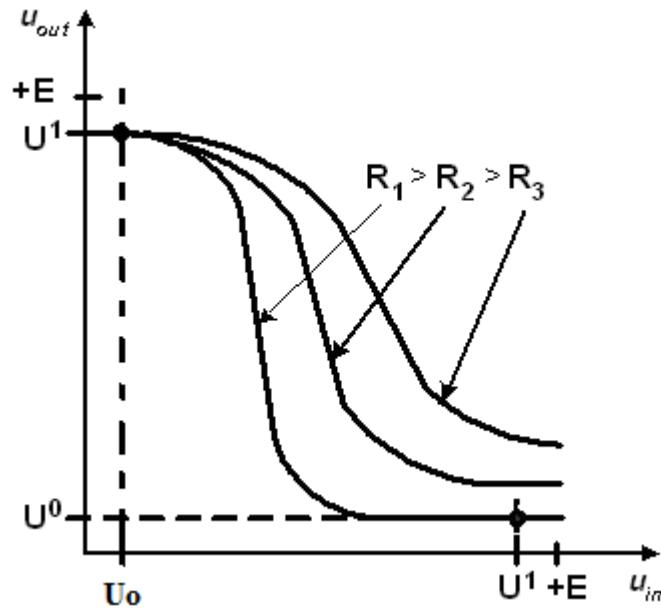
$$U^0 \approx \frac{E}{k.R.(E - V_T)}$$

В израза за U^0 напрежението V_T е праговото входно напрежение на отпушване на транзистора при нарастването му (от 0 към +E); k е коефициент, зависещ право пропорционално от площта на транзистора в кристала на ИС.

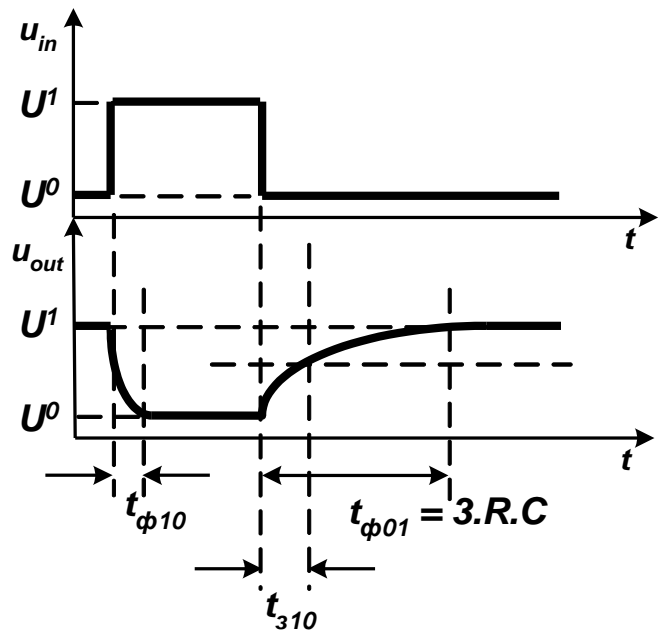
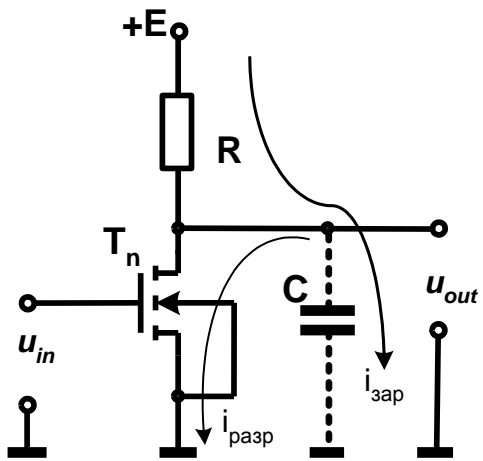
За да функционира правилно цифровото устройство, в състава на което е включена разглежданата схема, стойността на изходното ѝ напрежение U^0 трябва да е по-малка от стойността на V_T . Това е така, защото следващата схема, чиито вход е свързан към изхода на разглежданата (Фиг.8.5) трябва да приема стойността на U^0 като *цифрова 0*. А трябва да приемем, че параметърът V_T за следващата схема има същата стойност, както и на разглежданата, тъй като и двете схеми са реализирани с транзистори с еднакви параметри в един кристал на ИС..

От горната формула се вижда, че параметрите на разглежданата схема, чрез стойностите на които можем да влияем върху стойността на U^0 са E , k , R .

На Фиг.8.6 са представени предавателни характеристики на транзисторния ключ за различни стойности на товарния резистор R .



Фиг.8.6



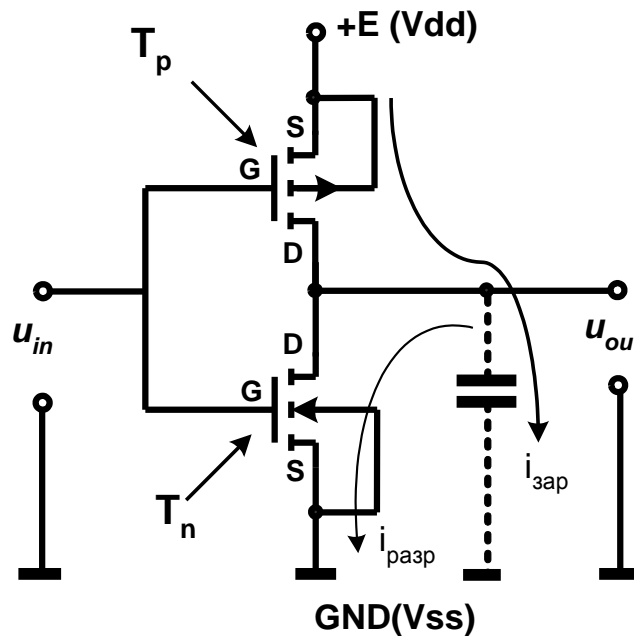
Фиг.8.7

Паразитният капацитет на изхода на схемата C формира заедно с товарния резистор R паразитна интегрираща верига, която основно влияе върху динамичните параметри на схемата (на закъснението на импулс на изхода на схемата спрямо породилия го на входа ѝ). На Фиг. 8.7 са показани фронтовете на импулс на изхода на схемата, като се вижда, че **значително се увеличава продължителността**

на нарастващия фронт и съответно закъснението му спрямо породения го падащ фронт на импулс на входа на тази схема. По принцип за тези n – MOS схеми нарастващият фронт на изходния импулс е много по-дълъг от падащия, защото нарастващият фронт се формира, когато паразитният капацитет се зарежда през товарния резистор, а падащият фронт – когато този капацитет се разрежда през отпушилия се транзистор. На практика съпротивлението на товарния резистор се оказва много по-голямо от това на отпушения транзистор и оттам е голямата разлика в продължителностите на двата фронта на изходния импулс.

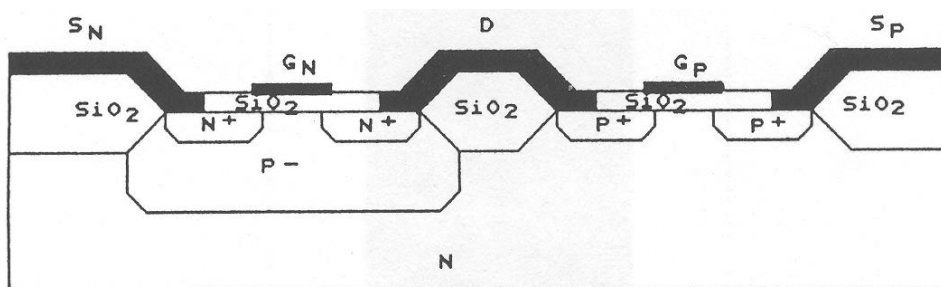
2. CMOS- инвертор

Принципната схема на CMOS- инвертор е показана на Фиг.89.8. Той е съставен от два MOS-транзистора : n- канален и p- канален, свързани чрез дрейновете си, като тази обща точка е и изходът на схемата. Гейтовете им също са свързани в обща точка, от която се съвместно се управляват, и която представлява входа на схемата.



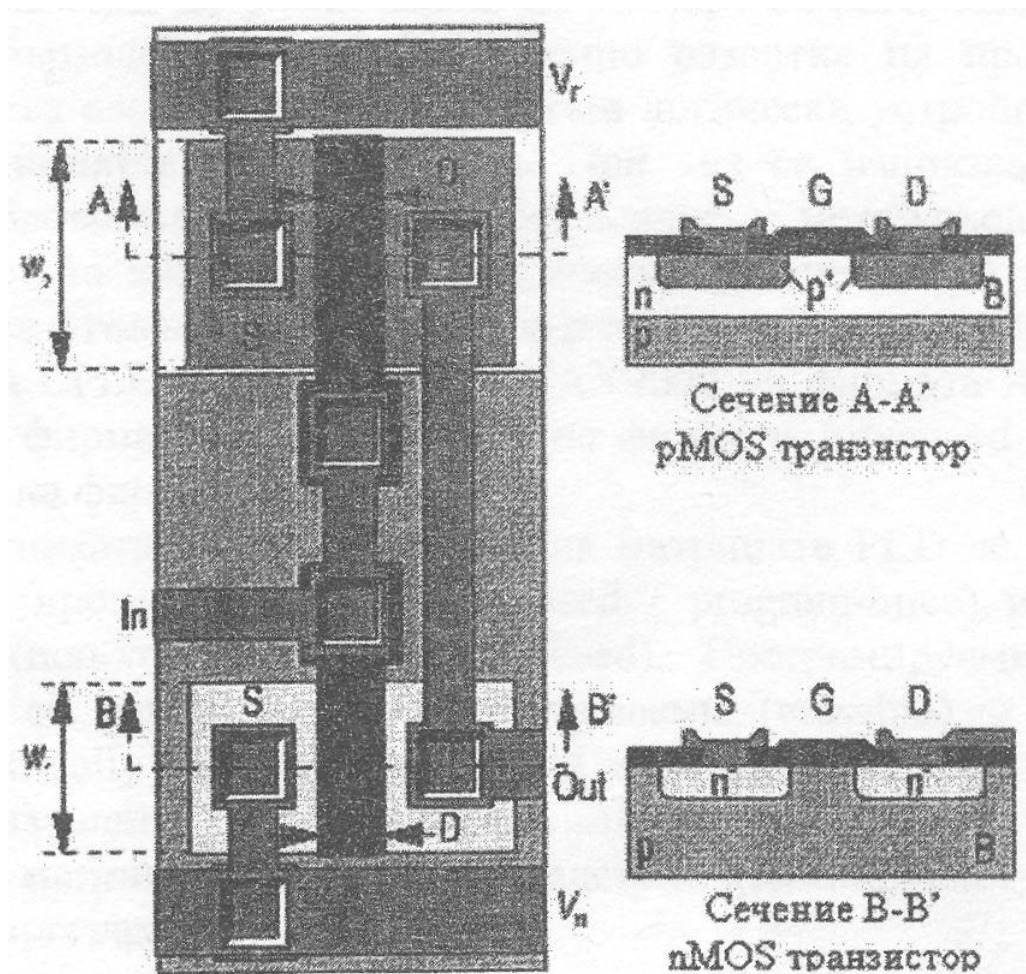
Фиг. 8.8

На Фиг.8.9 е показано сечение от интегрална реализация на CMOS-инвертора.



Фиг.8.9

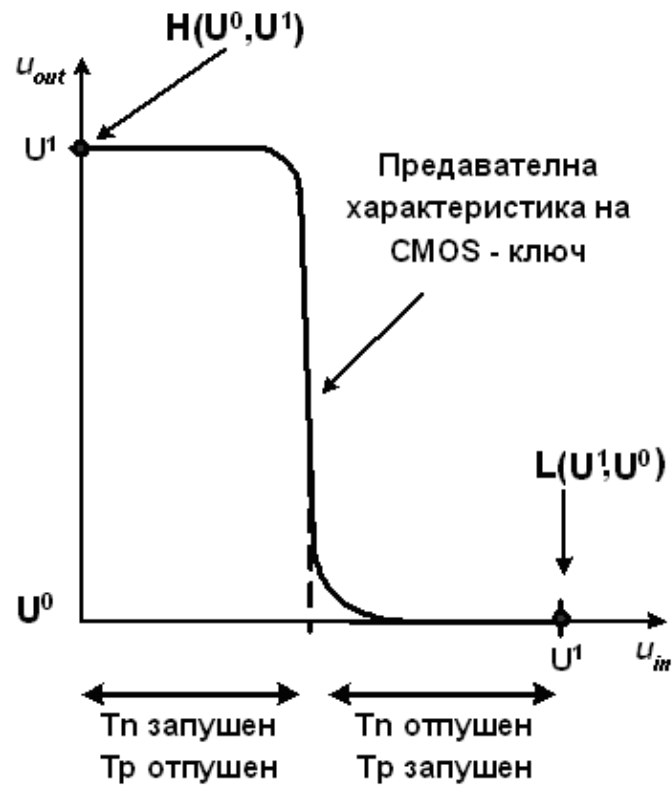
На Фиг.8.10 е показан топологичен чертеж (с вид отгоре) на схемата и поотделно сечения от интегралната реализация на двата транзистора.



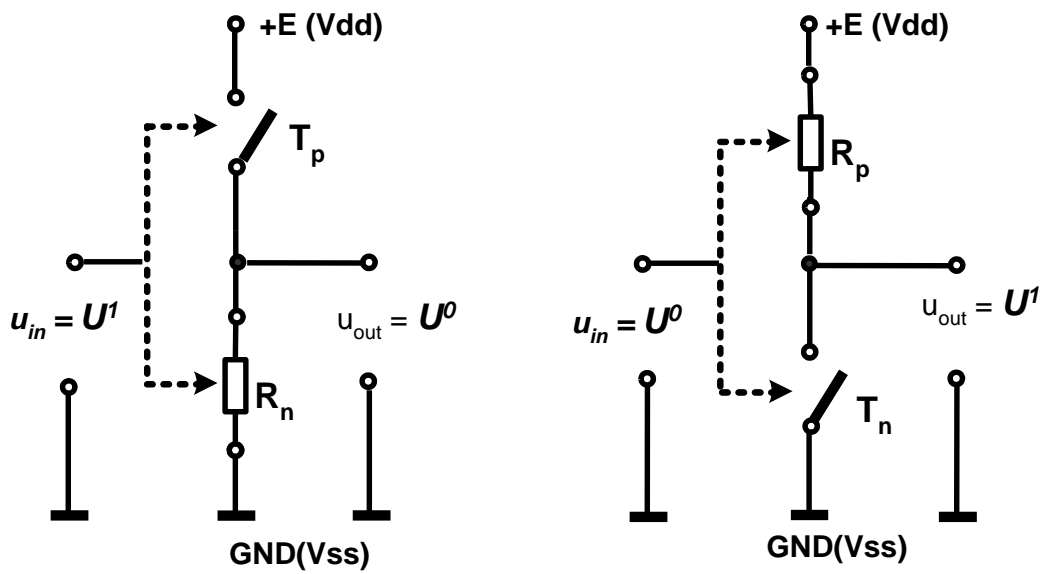
Фиг. 8.10

Предавателната характеристика на CMOS- инвертора е показана на Фиг.8.11. Тази схема има по-добри статични параметри, отколкото n-MOS – инвертора. При CMOS- инвертора предавателната характеристика е по-стръмна , а $U^1 \approx E$ и $U^0 \approx 0$.

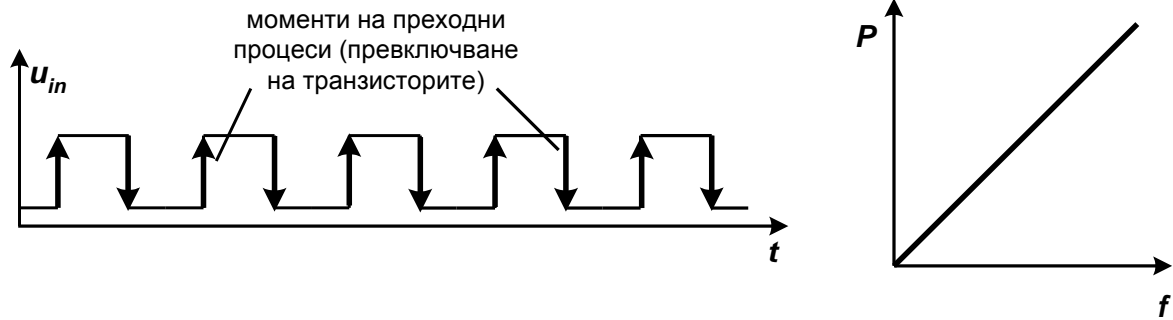
Функционирането на схемата при подаване на цифрови сигнали на входа ѝ е показано на Фиг.8.12, като транзисторите са представени чрез модели с електрически ключове.



Фиг.8.11



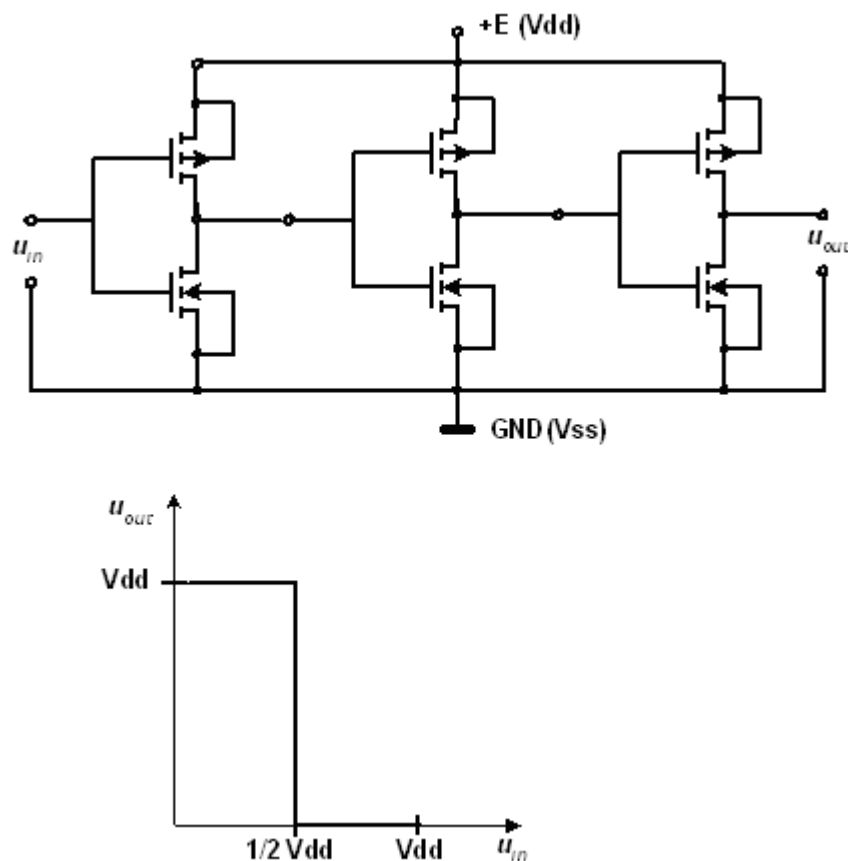
Фиг.8.12



Фиг.8.13

На Фиг.8.13 е показана зависимостта на консумираната мощност за CMOS-инвертора от честотата на импулсите на входа му f . Основно качество на тази схема е нулева консумирана мощност в статично състояние на входния сигнал (при $f = 0$).

По-сложен CMOS-инвертор, но използван често на практика в интегрално изпълнение (съставен от три последователно свързани стъпала - буферизиран) е с по-добри характеристики от инвертора с един транзисторен ключ. Схемата и предавателната му характеристика са показани на Фиг.8.14.



Фиг.8.14