

nMOS- и CMOS- логически схеми. Динамични CMOS- логически схеми

Разглежданите тук цифрови схеми понастоящем се конструират с n - канални и p - канални MOS - транзистори, които тук графично ще представяме по следния опростен начин:

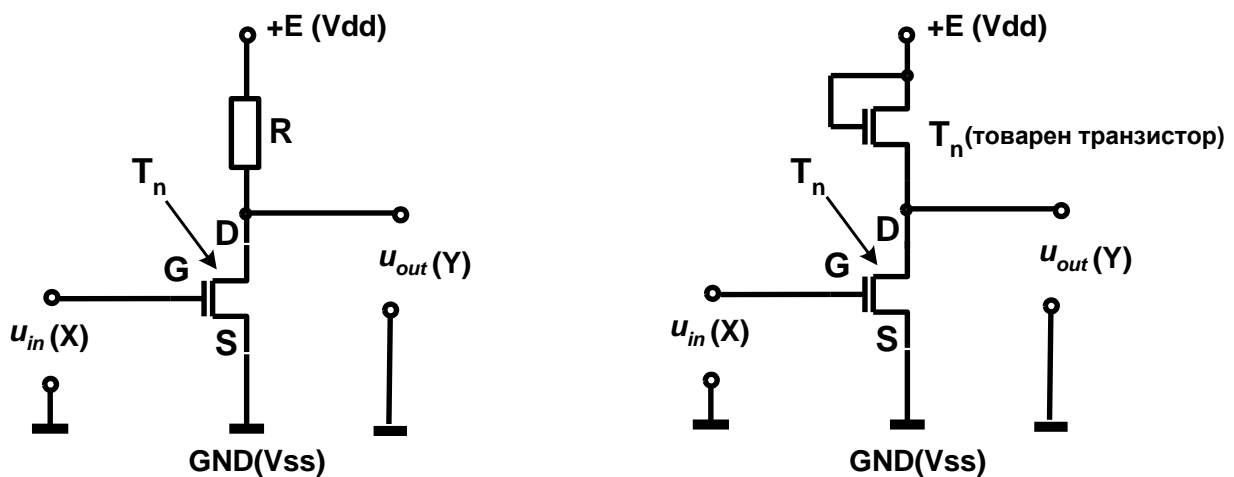


В представяните по-долу схеми, за да не се претрупват чертежите, свързването на подложките на транзисторите не е показано, като се има предвид, че подложките на n – каналните MOS -транзистори се свързват към V_{ss} (земя), а тези на p –каналните MOS -транзистори – към захранващия полюс V_{dd} (+E).

1. Статични nMOS- и CMOS- логически схеми.

1.1. nMOS- логически схеми.

Тези схеми се реализират с n - канални MOS – транзистори. Най-простата логическа схема е инверторът. По-долу е показан инвертор с n - канален MOS – транзистор и товарен резистор между дрейна на транзистора и захранващия полюс. В интегрална реализация товарният резистор се заменя с n - канален товарен MOS – транзистор:

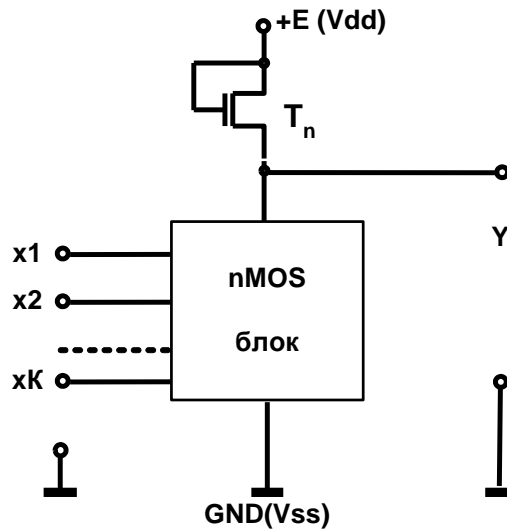


Фиг. 9.1

Както бе разгледано в предна лекция (с тема "Транзисторни ключове с MOS – транзистори"), горната схема функционира логически като инвертор при подаване на входно напрежение със стойности U^1 (приблизително +E волта - съпоставено на логическа единица) и U^0 (приблизително 0 волта - съпоставено на логическа нула). В нея цифровите сигнали u_{in} и u_{out} се разглеждат като логическите променливи X и Y :

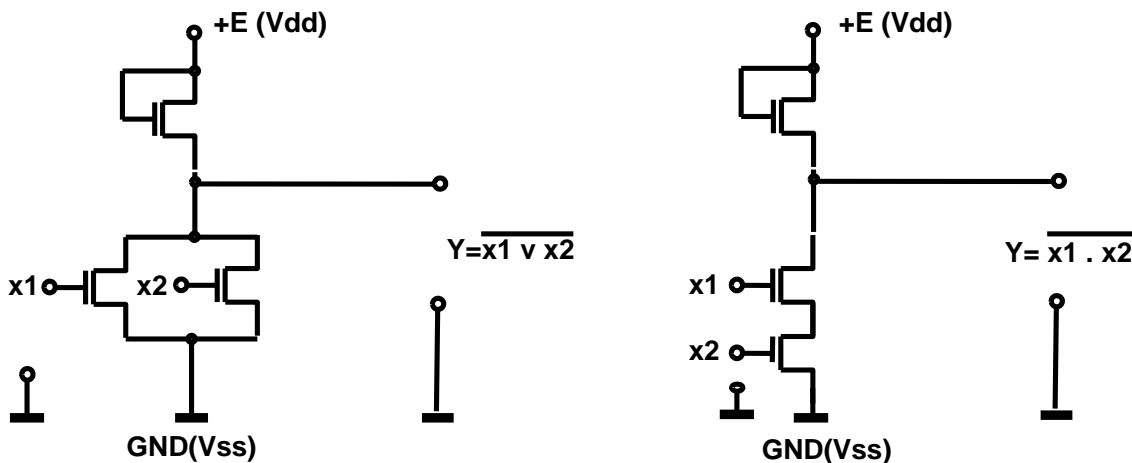
X	Y
0(U^0)	1(U^1)
1(U^1)	0(U^0)

За реализация на логически схеми с по-сложни логически функции, в схемите на Фиг.9.1 вместо MOS – транзистора се поставя nMOS – блок - от n - канални MOS – транзистори:



Фиг.9.2

На Фиг.10.3 са показани nMOS – логическите схеми за базовите логически функции **не-и (nand)** и **не-или (nor)** :

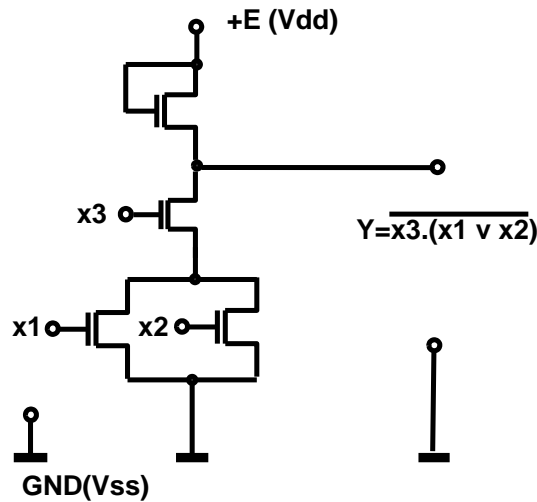


Фиг.9.3

Правилата за изграждане на nMOS – блока са: всеки вход на логическата схема се подава на гейт на отделен nMOS – транзистор; ако в аналитичния израз на логическата функция между два аргумента има операция "и"(and) , то съответните транзистори в блока са разположени *последователно*, ако операцията е "или" (or), то транзисторите са разположени *паралелно*; *стойностите на функцията се получават на изхода с инверсия.*

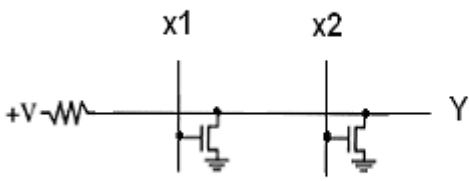
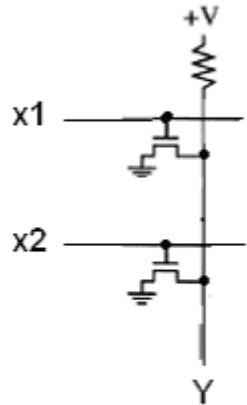
На фиг.9.4 е показана nMOS – логическата схема , реализираща функцията:

$$Y = \overline{(x3 \cdot (x1 \vee x2))}$$



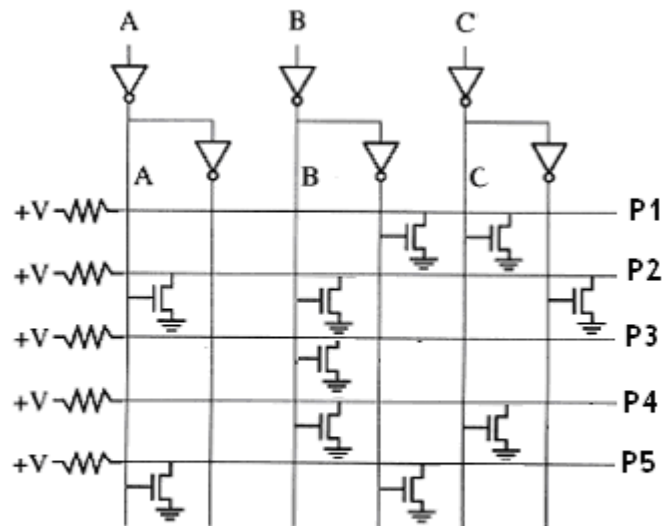
Фиг.9.4

В таблицата по-долу са показани примери на базови nMOS – логически схеми (логически елементи), формирани в AND- и OR- матриците на електрически конфигурируемите логически устройства (PLD – чипове, които се разглеждат в следващи лекции):

<p style="text-align: center;"><i>transistor AND - gate</i></p>  <p style="text-align: center;">$Y = \overline{x1 \vee x2} = \overline{x1}.\overline{x2}$ (according to de Morgan theorem)</p>	<p style="text-align: center;"><i>transistor OR- gate</i></p>  <p style="text-align: center;">$Y = \overline{x1 \vee x2}$</p>
<p>Transistor - circuit of AND -gate with two inverted arguments (inputs) – x1 , x2</p>	<p>Transistor - circuit of inverted OR-gate with two arguments (inputs) – x1, x2</p>

Примери на nMOS – логически схеми, получени при електрическото конфигуриране на AND- матрица – основен блок на PLD – чипове, са показани по-долу:

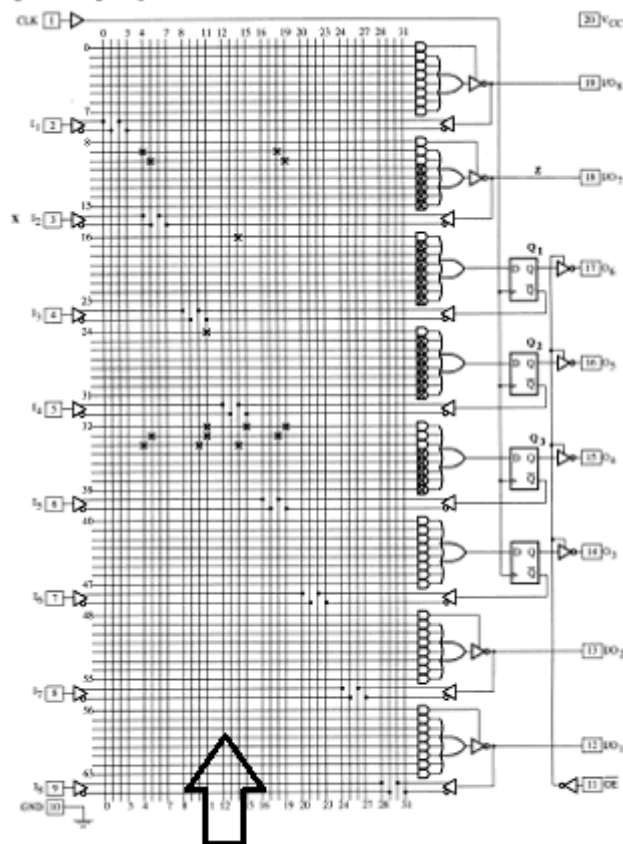
AND Matrix



$P1 = \bar{B}.C$ $P2 = A.B.\bar{C}$ $P3 = B$

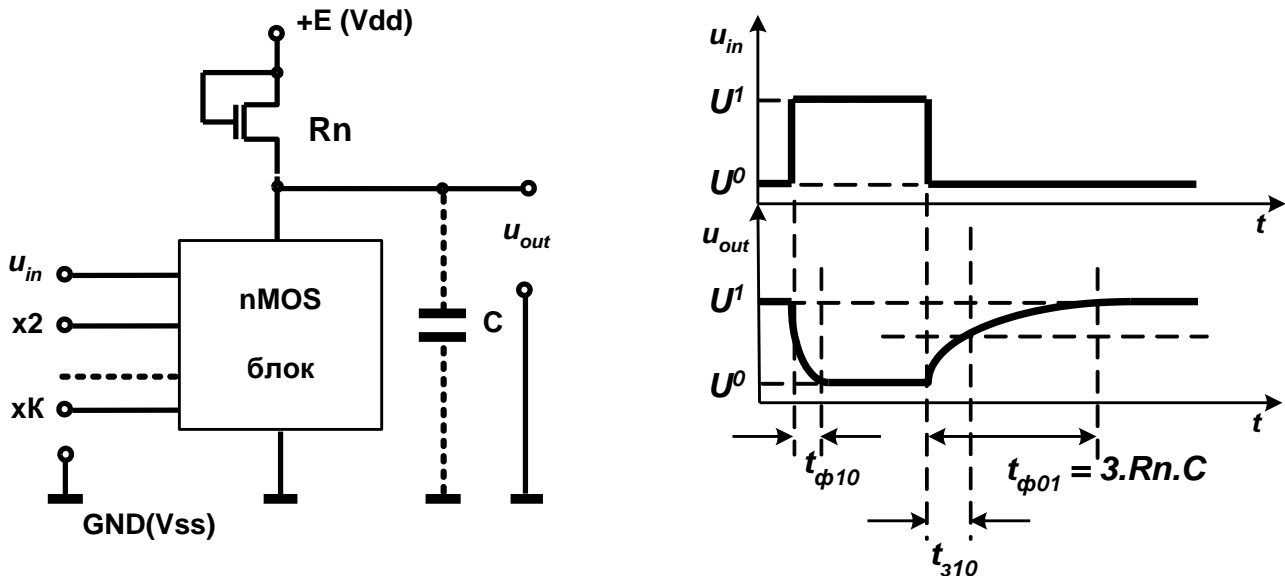
$P4 = B.C$ $P5 = A.\bar{B}$

Figure 3-14 Logic Diagram for 16R4 PAL



"И" ("AND") - матрица в PLD - чип

Времедиаграми на входния и изходен сигнали за nMOS – логическа схема, на един от входовете на която се подава цифров сигнал – импулс, са показани на Фиг.9.5. При разглеждане на функционирането на схемата е отчетено влиянието на паразитния капацитет C в изхода y (който формира заедно с товара y интегрираща верига).



Фиг.9.5

Предимства :

- nMOS – логическите схеми се характеризират със сравнителна простота на технологичния процес на интегрална реализация (имат само един вид транзистори) ;
- съдържат сравнително малък брой транзистори (колкото е броят на входовете им), които заемат малка площ върху интегралната схема.

Недостатъци:

- Притежават малка динамична мощност и оттам сравнително лоши динамични характеристики - големи фронтове на изходните импулси – особено $t_{\phi 01}$ (защото паразитният капацитет на изхода C трябва да се зареди през сравнително голямото съпротивление на товара R_n в интегриращата верига $R_n - C$;
- високо ниво на U^0 на изхода (особено при повече последователно разположени транзистори в блока).

1.2. CMOS – логически схеми.

CMOS – логическите схеми се изграждат с n – канални и p - канални MOS – транзистори (с противоположна проводимост на канала – Complimentary MOS).

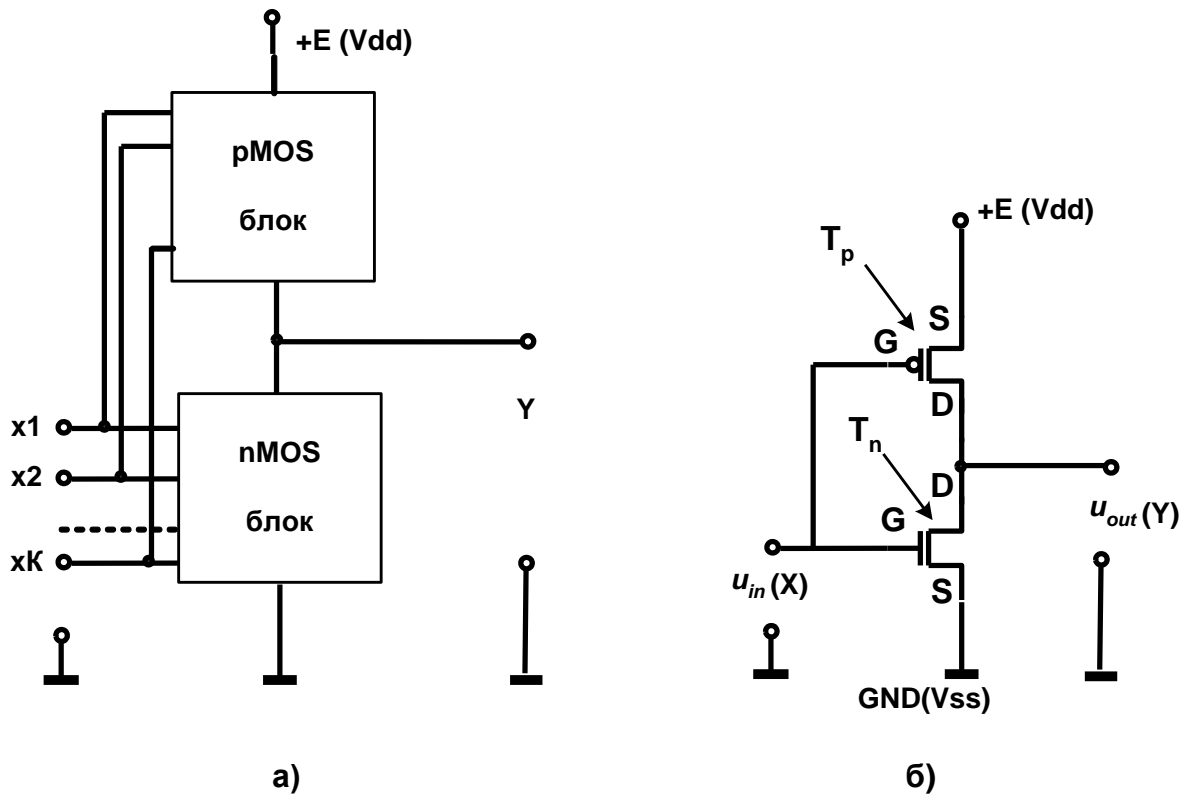
Принципът на изграждането им е: започвайки от структурата на nMOS – логическата схема, реализираща зададената функция, заменяме товара (резистор или транзистор) в нея с pMOS – блок (Фиг.9.6 а);

pMOS – блокът е съставен от p – канални MOS – транзистори и се изгражда по "обратен начин" спрямо изграждането на nMOS – блока : ако в аналитичния израз на логическата функция между два аргумента има операция "и"(and) , то съответните транзистори в блока са разположени *паралелно*, ако операцията е "или" (or), то транзисторите са разположени *последователно*;

Всеки вход на схемата (за аргумент на логическата функция) се свързва с гейта на един транзистор от nMOS – блока (както е при nMOS – логическите схеми), но и с гейта на един транзистор от pMOS – блока, съответен на транзистора от nMOS – блока;

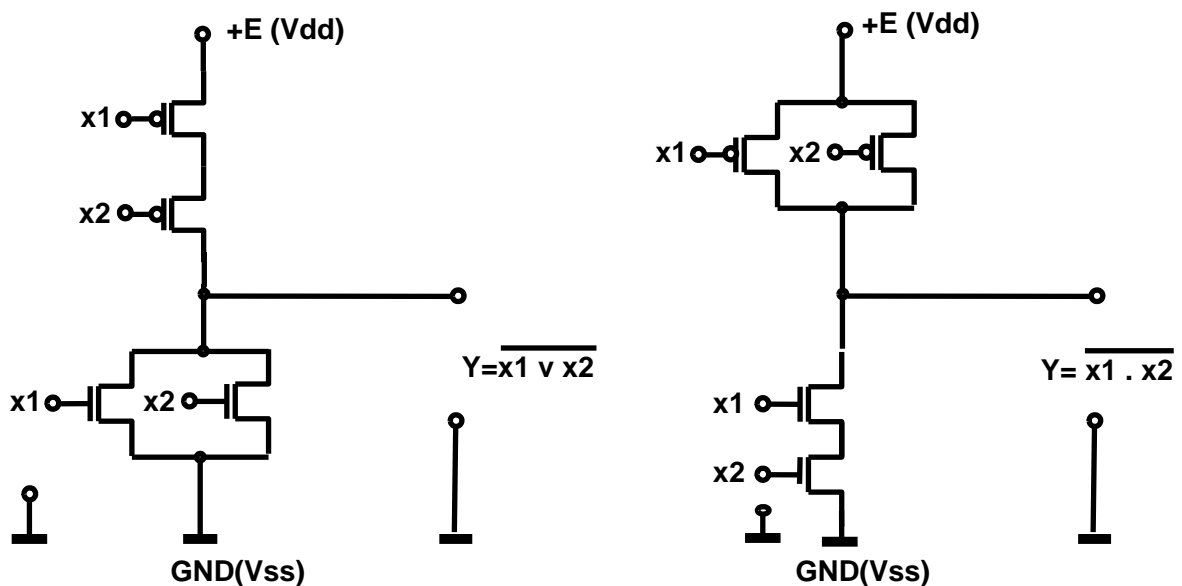
Както и при nMOS – схемите, *стойностите на функцията се получават на изхода с инверсия.*

На Фиг.9.6 б е показана структурата на най-простата CMOS – логическа схема CMOS - инвертор, разгледана в предна лекция като транзисторен ключ.



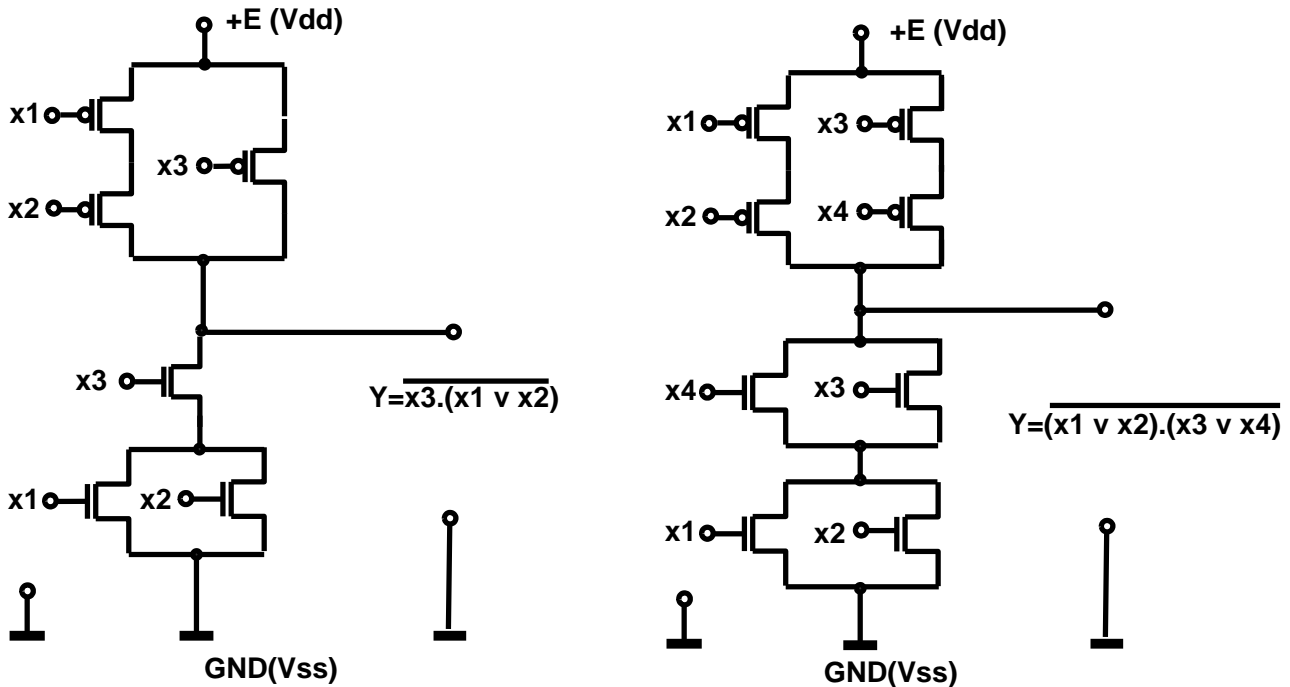
Фиг.9.6

На Фиг.9.7 са показани CMOS – логическите схеми за базовите логически функции **не-и (nand)** и **не-или (nor)**, изградени по гореизложените принципи :



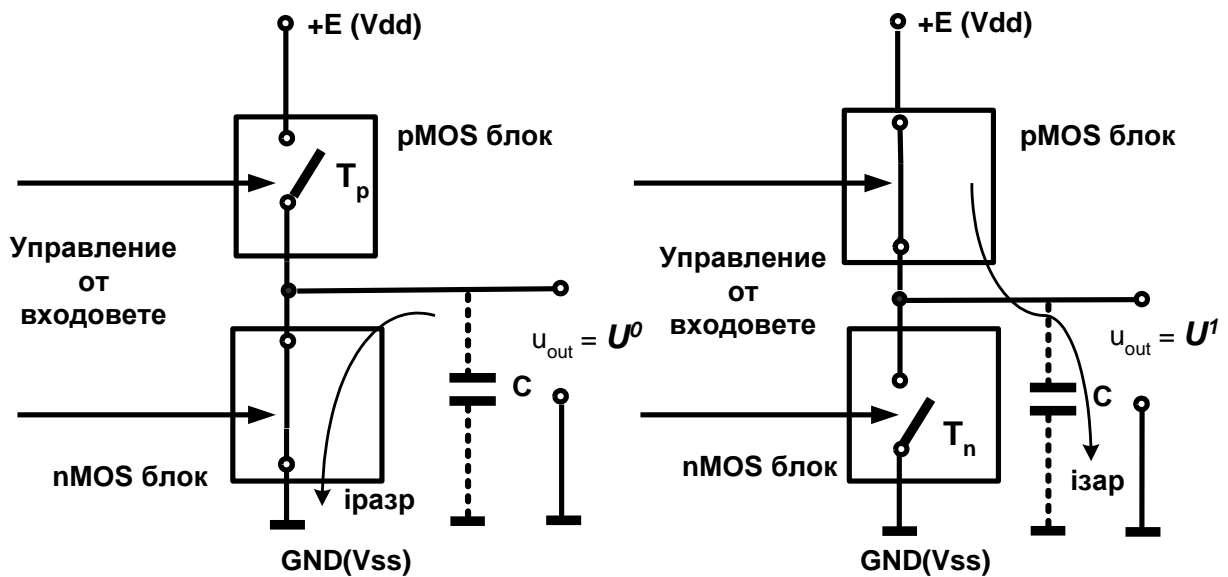
Фиг.9.7

На Фиг.9.8 са показани CMOS – логическите схеми за логическите функции: $Y = \overline{x3 \cdot (x1 \vee x2)}$ и $Y = \overline{((x1 \vee x2) \cdot (x3 \vee x4))}$



Фиг.9.8

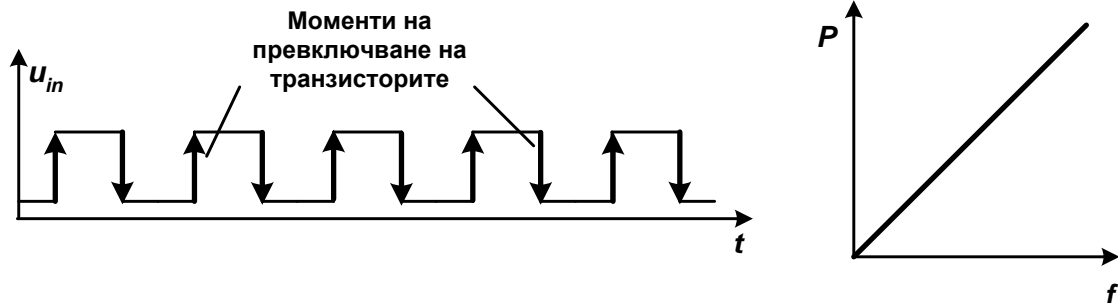
Двете възможни състояния на изходите (U^0 и U^1) при функционирането на CMOS – схемите при подаване на цифрови сигнали на входовете им са показани на Фиг.9.9, като транзисторните nMOS- и pMOS- блокове са представени опростено чрез модели с електрически ключове :



Фиг.9.9

От горната схема се вижда, че във всяко от двете възможни статични състояния на схемите винаги един от ключовете е отворен (електрическата верига е

прекъсната) и през веригата не протича ток, което означава, че консумираната мощност от CMOS – схемите в статичен режим (при постоянни стойности на входните сигнали) на практика е 0. Само при промяна (по време на фронтовете) на входните сигнали консумираната мощност P е различна от нула и следователно тази мощност (динамична мощност) по големина е право пропорционална на честотата на импулсите на входовете на схемите (Фиг.9.10) :



Фиг.9.10

Предимства :

а) CMOS – схемите се характеризират с нулева консумирана мощност в статично състояние (когато няма промяна на входните сигнали);

б) CMOS – схемите имат по-добри динамични характеристики от nMOS-схемите, защото при превключването на изходите им паразитният капацитет C се презарежда винаги през затворен ключ (отпушен транзисторен блок) и следователно това става по-бързо;

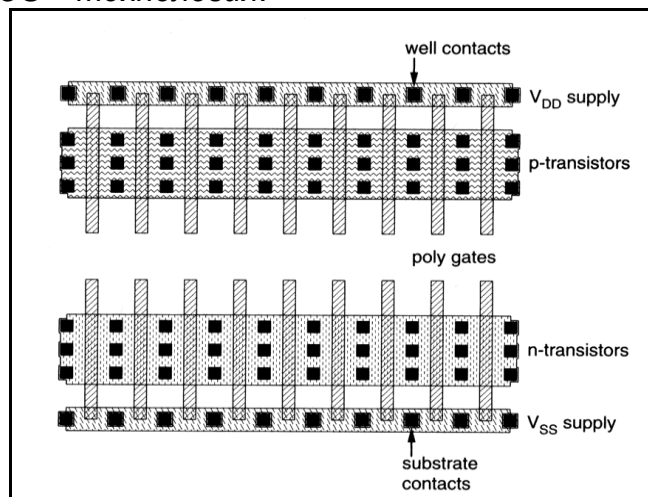
Недостатъци :

а) CMOS – схемите се създават с по-сложна технология (в сравнение с nMOS-схемите) , защото се изграждат с n – канални и p - канални MOS – транзистори – с противоположна проводимост на канала;

б) CMOS – схемите включват по-голям брой транзистори в сравнение с nMOS-схемите (2.к транзистора при к входа) и заемат по-голяма площ в интегралните схеми.

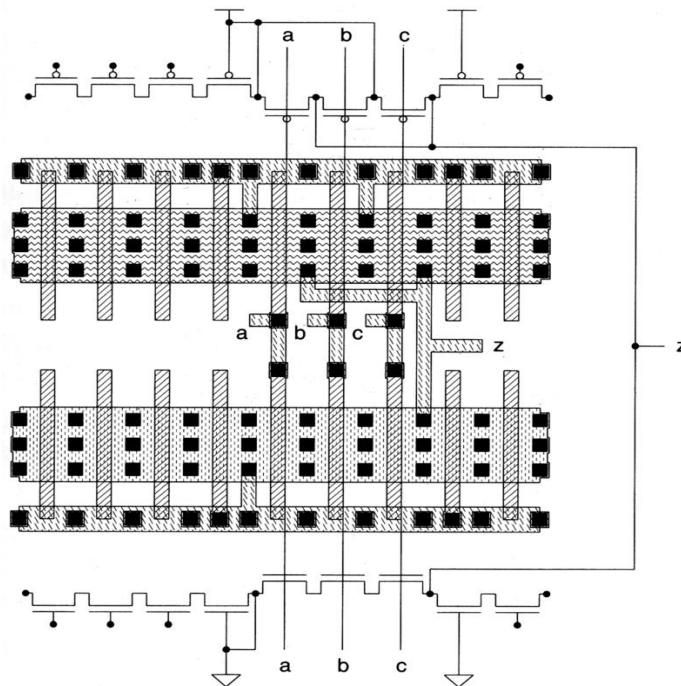
Въпреки горните недостатъци, които са технологично преодолими, *логическите схеми в интегрално изпълнение в момента най-често се реализират по CMOS – технология(CMOS – схеми).*

На Фиг.9.11 са показани два реда от базов матричен кристал (gate array) върху интегрална схема , с реализирани съответно n – канални и p - канални MOS – транзистори, приготвени за допълнително свързване с цел – реализация на логически схеми *по CMOS – технология.*



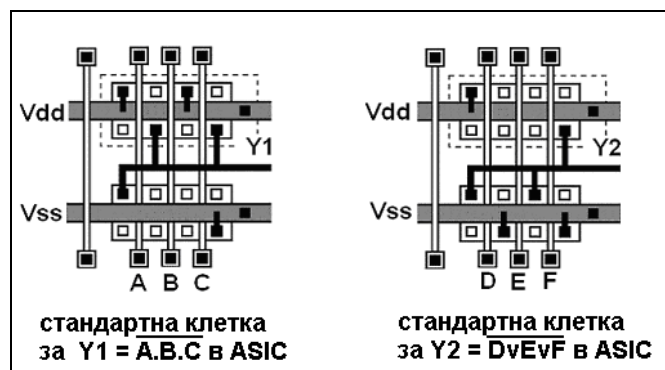
Фиг.9.11

На Фиг.9.12 е показана реализацията на тривходов логически елемент "и – не" върху базовия матричен кристал по *CMOS – технология*, като част от потребителски ориентирана интегрална схема (ASIC):



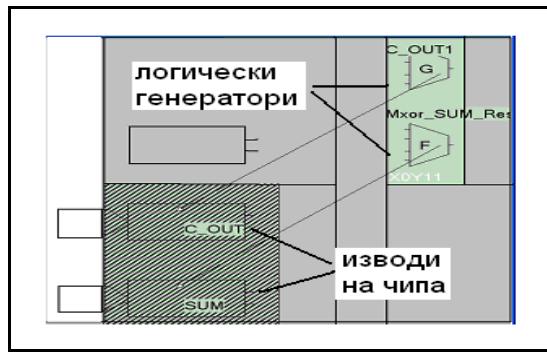
Фиг.9.12

На Фиг.9.13 са показани *стандартни клетки по CMOS – технология* за базовите тривходови логически елементи "и – не" и "или – не". Те също се използват при проектиране на потребителски ориентирани интегрални схеми.



Фиг.9.13

В електрически конфигурируемите големи и свръхголеми интегрални схеми (FPGA) логическите функции се реализират не чрез свързване на създадените върху Si пластина транзистори за създаване на логически схеми, както бе показано досега, а чрез записване на таблиците им за истинност в логическите генератори (памети от тип RAM, означени с F и G на Фиг.9.14) в конфигурируемите логически блокове на FPGA – чиповете.

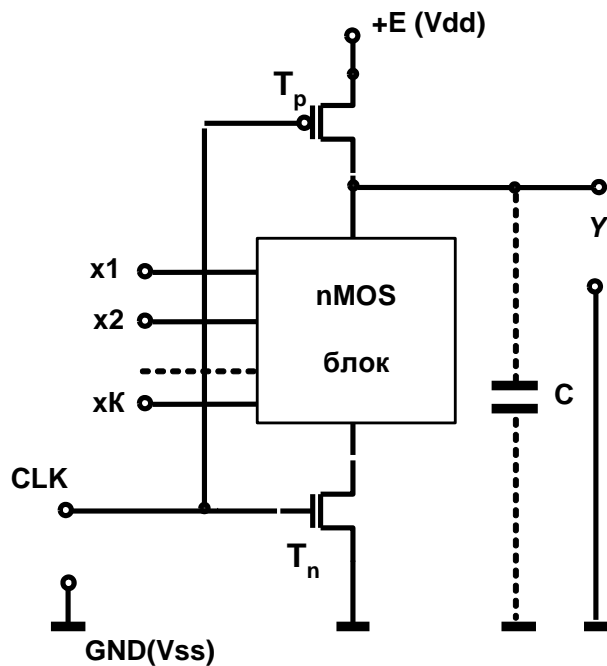


Фиг.9.14

1.3. Динамични CMOS – логически схеми.

За функционирането на тези схеми са необходими *тактови (синхро-) импулси* (тактов сигнал), които образуват *импулсна поредица*.

Динамичните CMOS – логически схеми се изграждат *само от nMOS – блок* с входове – логическите входове (аргументи) на схемата x_1, x_2, \dots, x_K и *една двойка от nMOS – транзистор и pMOS – транзистор*, управлявани от (гейтовете им свързани към) тактовия сигнал CLK (Фиг.9.15) :



Фиг.9.15

nMOS – блокът се изгражда от nMOS – транзистори по принципите на nMOS – и CMOS – схемите, описани по-горе. На Фиг.9.16 е показана динамичната CMOS – схема, реализираща логическата функция $Y = \overline{(x_3 \cdot (x_1 \vee x_2))}$:

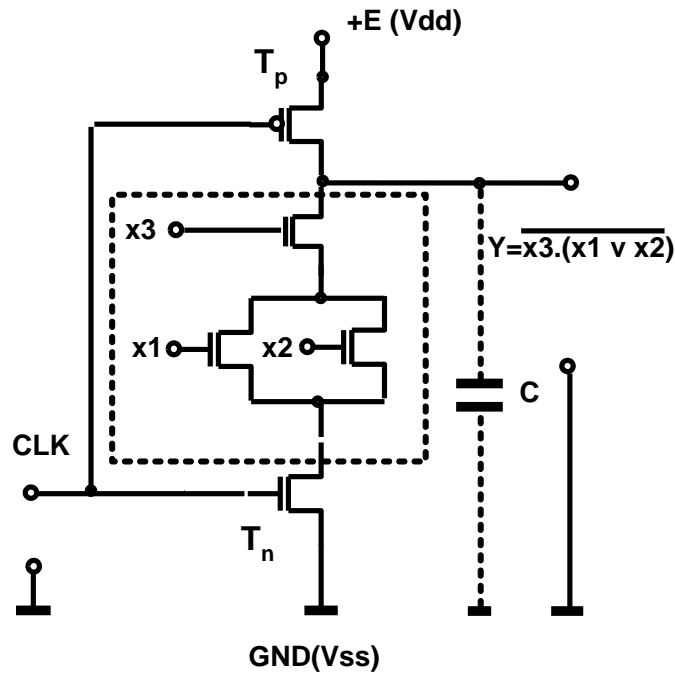
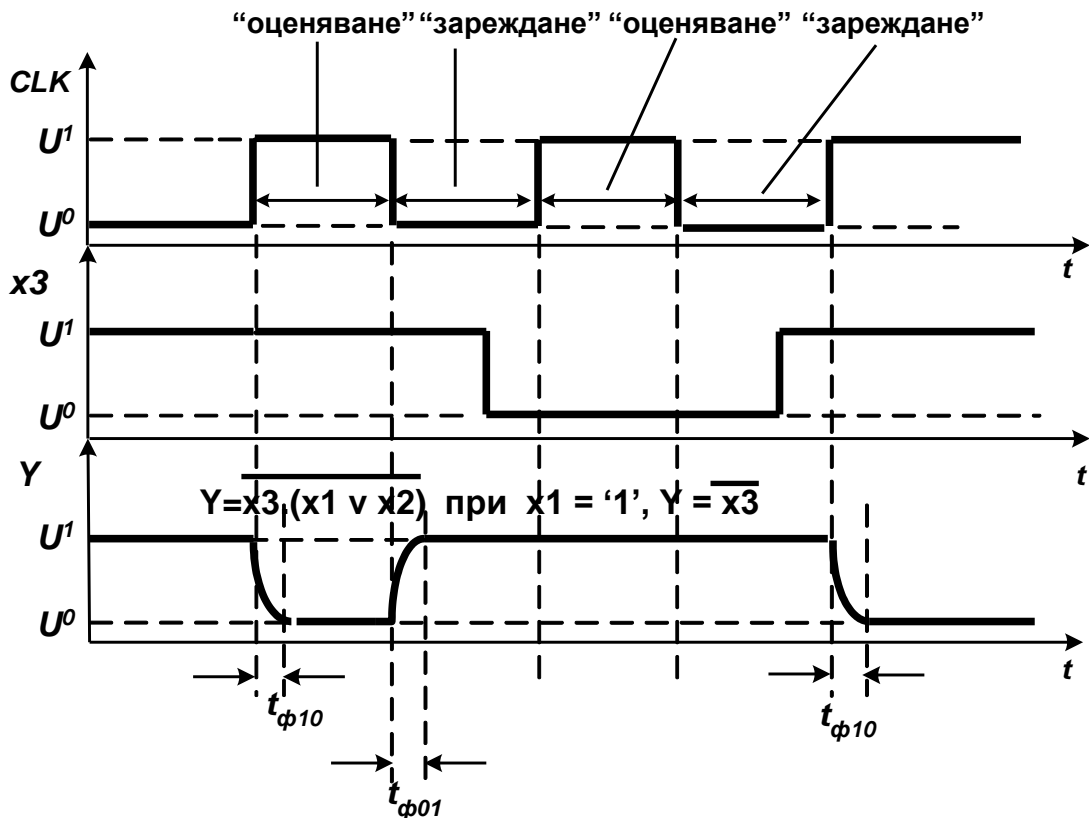


Fig.9.16

Начинът на функциониране на една динамична CMOS – схема (по-точно на схемата, показана на Фиг.9.16) е илюстриран с времедиagramите на входните и изходните ѝ сигнали на Фиг.9.17.

а) По време на паузата между импулсите на тактовата поредица $CLK=U^0$, капацитетът на изхода на схемата винаги се зарежда до напрежение U^1 през отпушения в това време pMOS – транзистор T_p (и следователно изходното напрежение приема стойност, отговаряща на логическа '1'); затова наричат този режим на функциониране на схемата – "зареждане" ; другият транзистор от двойката - nMOS – транзисторът T_n в тази пауза е запушен;



Фиг.9.17

б) По време на импулс на тактовата поредица $CLK=U^1$ изходното напрежение (и съответно капацитетът на изхода на схемата) остава в U^1 или спада (разрежда се) до U^0 според логическата функция в зависимост от входния набор аргументи; това се осъществява, защото през този времеви интервал транзисторът T_p е запушен, а транзисторът T_n - отпушен и състоянието на nMOS – блока (отпушен/запушен) определя изходното напрежение – при отпушен блок кондензаторът се разрежда до U^0 (логическа '0') през него; при запушен – кондензаторът си запазва напрежението U^1 ; затова наричат този режим на функциониране на схемата – "оценяване".

Фронтовете на изходния сигнал Y са с *малка продължителност*, защото: а) по време на нарастващия фронт $t_{\phi 01}$ кондензаторът C бързо се зарежда през малкото съпротивление на отпушения pMOS – транзистор T_p ; по време на падащия фронт $t_{\phi 10}$ C бързо се разрежда през малкото съпротивление на отпушения nMOS – блок и отпушения транзистор T_n .

Предимства на динамичните CMOS – схеми:

а) Изискват се по-малък брой транзистори за реализация на тези схеми в сравнение със статичните CMOS – схеми – при K – входа – $K+2$ транзистора ($2 \cdot K$ при CMOS);

б) Динамичните CMOS – схеми притежават добри динамични характеристики (малка продължителност на фронтовете на изходния сигнал и оттам – възможност за малка продължителност на тактовия период), каквато имат и статичните CMOS – схеми;

в) Динамичните CMOS – схеми, както и статичните CMOS – схеми консумират само динамична мощност – само при промяна (фронтове) на входните сигнали;

Недостатъци на динамичните CMOS – схеми:

а) Динамичните CMOS – схеми изискват тактов сигнал, за да функционират;

б) Разрешена е промяна на входните сигнали, само когато $CLK=U^0$.